

## 4 層基板における CMOS IC のピン浮き発生時電源電流特性の測定

月本 功\* 池上 徹\*\* 高木 正夫\* 橋爪 正樹\*\*\* 四柳 浩之\*\*\* 一宮 正博\*\*\* 為貞 建臣\*\*\*

### Measurement of Supply Current in CMOS IC with Pin Opens on Four-layered Printed Circuit Board

Isao TSUKIMOTO, Toru IKEGAMI, Masao TAKAGI, Masaki HASHIZUME, Hiroyuki YOTSUYANAGI, Masahiro ICHIMIYA and Takeomi TAMESADA

#### Synopsis

Recently, CMOS ICs has been miniaturized by the advancement of the semiconductor processing technology. Therefore, detecting the pin-open faults that occur when ICs are soldered on a printed circuit board has been more difficult. There is a possibility that the pin-open faults cannot be detected by an appearance check and a functional test. Thus, we proposed the test method based on supply current measurement for detecting the pin-open faults in the past. In this test, it is judged that the pin-open faults exist when supply current that is larger than fault free circuit is measured. While the possibility that the pin-open faults are able to be detected by the test method was shown by evaluation experiments. In the experiments, single-layered printed circuits board was used. However, multi-layered printed circuit board is used generally. In this journal, the supply current in CMOS IC with single pin-open fault on four-layered printed circuit board is measured. As the result, supply current that is larger than fault free IC is confirmed.

#### 1. はじめに

近年、デジタル回路を構成する集積回路の設計、製造技術が著しく発達し、産業用、民生用を含む現代社会を支えるあらゆる用途で電子回路応用製品が使用されている。特に金融機器、輸送機器、医療機器などの分野では、非常に高い信頼性が要求される。

回路を構成する主要部品である集積回路 (IC) は高性能化の一方で、著しく小型化が進み、電子回路製品の付加価値向上に貢献している。しかし製造した製品の検査という面では深刻な問題が生じている。

一般的に電子回路はプリント配線板に IC やその他の受動部品を実装することで構成されるが、これらの部品の小型化により、部品実装時に生じる実装不良の検出が非常に困難になっている。特

に IC はピン間ピッチが 0.65mm あるいは 0.5mm と、非常に狭ピッチ化しており、かつピン数が数 100 と非常に多数であり、実装不良の検出が困難となっている。

IC は TTL、ECL といったバイポーラ形 IC と CMOS 形の IC に分類される。現状デジタル IC の主流は CMOS 形である。本論文は CMOS IC の検査についての内容である。

製造メーカーにおける一般的な検査は外観検査と通電検査である<sup>1)~6)</sup>。前者は人による実装状態の目視検査、またそれを自動化し、カメラと画像処理技術を使用した検査装置を使用した検査である。後者は、回路に電源を加え、実際に規定の動作をさせ、正常に動作するか否かを判定するファンクションテストである。外観検査を人が行う場合、担当者の技量により製品品質が大きく左右される。また画像処理を用いた検査では、半田量や半田状態など微弱な差異は見逃す可能性がある。一方、ファンクションテストは実際に動作させるため、多くの不良はこのテストで発見することができる。

\* 電子工学科

\*\* 専攻科 電子通信システム工学専攻

\*\*\* 徳島大学

しかし、このテストでも検出が困難な実装不良が存在する。ICのピンとプリント配線板の間の断線故障（以下、ピン浮きと呼ぶ）である。

ICをプリント配線板に実装する際に生じる可能性が高いのは過剰はんだによる隣接ピンとの短絡故障と、はんだ不足によるピン浮きである。短絡故障はその影響が論理値へ現れるため、ファンクションテストでほとんど検出可能である。これに対してピン浮きは、ピン浮きが生じたピン（以降、故障ピンと呼ぶ）の不定電圧であるため、0と1のどちらの論理として動作するか不明である。

故障ピンの電圧は周辺回路からの静電誘導や電磁誘導によって、回路動作により変動する可能性がある。また周辺温度に依存して電圧がドリフトすることも考えられる。したがって、ファンクションテストでは見逃す可能性がある。

そこで我々の研究グループでは、電源からICに供給される電源電流を測定し、ピン浮きの有無を検査する検査法を提案し、その有用性を示してきた<sup>7)~11)</sup>。

過去の評価実験では片面基板にCMOS ICを実装し、ピン浮きを挿入した状態で電源電流測定を行った。その結果、電源電流に異常が現れることを確認し、これによりピン浮きを検出できる可能性が高いことを示した。

現在の電子回路では2層基板、4層基板、6層基板、8層基板と、小型化要求に応じて多層基板が使用されることが多くなっている。層数が増加し、ベタ電源層、ベタグランド層、配線層など、故障ピン付近に電圧誘導を起こさせる原因になる要因が多くなり、ピン浮き発生時の電源電流特性への影響が現れる可能性が高い。そこで4層基板におけるピン浮き発生時のCMOS ICの電源電流を測定し、電流異常が発生し、本検査法でピン浮き検出が可能であるか否かを調査したので報告する。

## 2. 電源電流測定によるCMOS ICのピン浮き検査法

CMOS回路は静的な状態では電源電流がほとんど流れないという特徴がある。2入力NANDゲートのCMOS回路を図1に示す。図1の $V_A$ がLow電圧の場合は、PMOS#1はON、NMOS#2はOFFとなり、 $V_B$ の電圧値によらず電源電流は流れない。この時出力はHigh電圧となる。

一方、 $V_A$ がHigh電圧の場合は、PMOS#1はOFF、NMOS#1がONとなり、 $V_B$ に応じて出力電圧、電源

電流が変化する。 $V_A$ がHigh電圧の場合の入出力電圧および電源電流の静特性を図2に示す。図2のIの範囲では入力電圧 $V_B$ が電源電流は流れない。NMOS#2がOFFになるためである。また、 $V_B$ がIIの範囲でも電源電流は流れない。PMOS#1がOFFの状態、PMOS#2もOFFとなるためである。正常回路での静的条件では $V_B$ はIかIIの範囲にあるので電源電流は流れない。しかしピン浮きが発生し $V_B$ がIIIに範囲の電圧となった場合、PMOS#2、NMOS#2が共にONとなり、電源電流が流れる。特に $V_B$ がしきい値電圧 $V_{TH}$ 付近では大きな電源電流が流れる。このように過剰な電流が観測されるとピン浮きが発生していると判断する。

入力Bにピン浮きが発生した場合には、 $V_B$ は不定であり、必ずしもIIの範囲の電圧となるとは限らない。 $V_B$ がIIIあるいはIIの範囲の場合は、電源電流は流れず、ピン浮きは検出できない。そこで、本検査法では図3に示すように、ICを電極で挟み、外部から交流電界を印加する。図1のBにピン浮きが発生した場合の図3の電気的な等価回路を図4に示す。図4の $V_E$ は電極から交流電界を印加するための交流電源である。

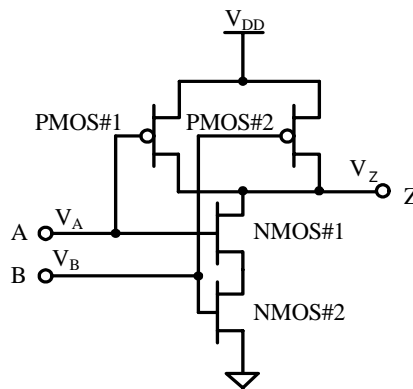


図1 CMOS NAND回路

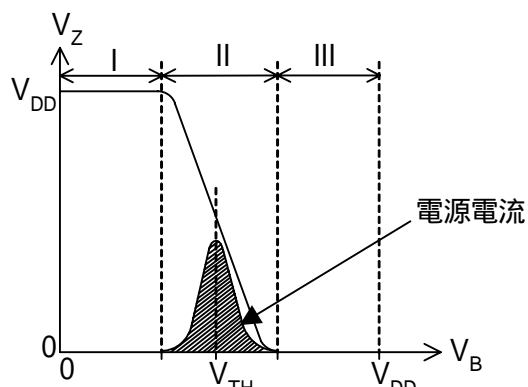


図2 入出力電圧と電源電流の静特性

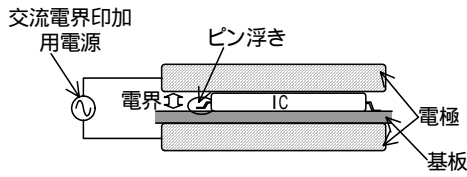


図 3 交流電界による静電誘導

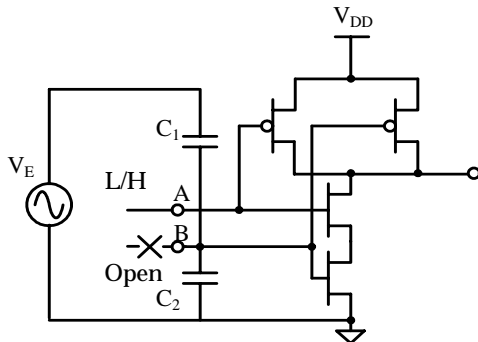


図 4 本検査法の等価回路

CMOS 回路では入力抵抗が非常に大きいため、その影響を無視すると、図 4 の B には式(1)に示す電圧が誘導される。

$$V_B = \frac{C_1}{C_1 + C_2} V_E \quad (1)$$

交流電界を印加し、式(1)の電圧変動を B に発生させ、 $V_{TH}$  付近に誘導することで過剰な電源電流が流れ、ピン浮き検出が可能となる。

### 3. 電源電流測定実験

ピン浮きの存在する回路で過剰な電源電流が流れることは過去の実験で確認されており、本手法によってピン浮きを検出できる可能性が高いことが示されている。

過去の実験では片面配線の 2 層基板を使用していた。しかし現実の案件では多層基板が使用されることが多い。多層基板では内層にベタ電源層やベタグランド層をレイアウトすることが一般的である。本検査法では回路の信号グランドを基準に交流電界を印加する。基板内層に電源やグランドがレイアウトされている場合、故障ピンとグランド、電源との物理的距離が近くなる。その場合、図 4 の  $C_2$  の値が大きくなることが予想される。その結果、式(1)の電圧が小さくなり、故障ピンに誘導される電圧振幅が小さくなり、故障ピンの電圧

を  $V_{TH}$  付近まで変化させることが困難となる可能性がある。本実験では、ベタグランドが内層に存在する場合にもピン浮き発生時に過剰な電源電流が流れるか否かを調べた。

図 5 に使用した基板の 2 層目の配線レイアウト図を示す。図 5 の a をベタ電源とし、a と近接するピンにピン浮きを挿入し、実験を行った。図 5 の基板の基板厚は 1.6mm である。

実験にはアルテラ社の PLD「EPM7064STC100-10」を使用した。この IC の電源電圧は 5V である。部品形状を図 6 に示す。図 6 に示すように、この部品はピン数が 100、ピン間 0.5mm ピッチの QFP パッケージ品である。

PLD には図 7 に示す 4 ビット加算器を書き込み使用した。この回路では最下位ビットの A0 に TV と故障ピン入力の AND 出力を入力している。CMOS 回路の AND 回路は、入力部分に図 1 の NAND 回路が使用されるので、TV が Low 電圧の時には過剰な電源電流は流れないことが予想される。

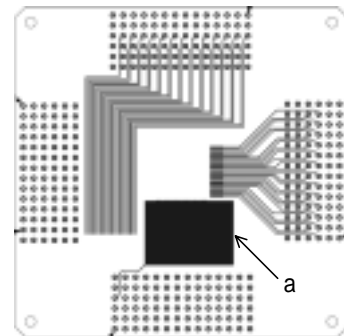


図 5 4 層基板 2 層目の配線レイアウト

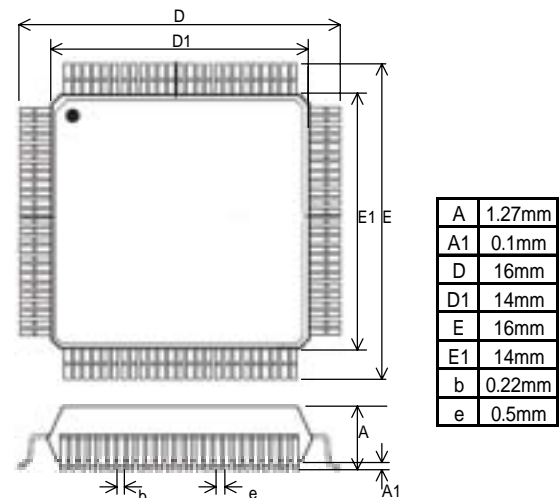


図 6 IC の外形寸法

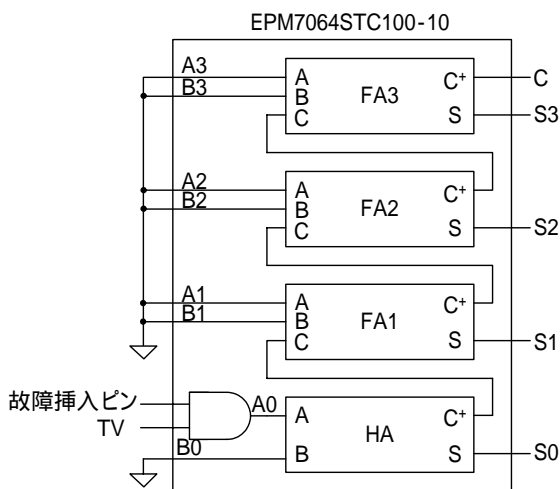
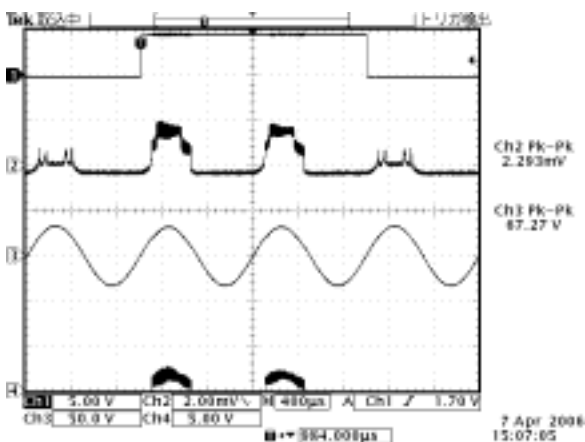


図7 被検査回路

故障ピンの初期電圧は不定である。基板上的のパットと故障ピンは非常に近接している。また故障ピン両隣のピンとも非常に近い。これら隣接する配線と故障ピンの間には浮遊容量が存在するため、故障ピンの初期電圧に影響すると考えられる。本実験ではそれらの電圧はすべて High 電圧 (5V) とした。

電源電流の測定結果を図8に示す。図8のCH2の波形より、過剰な電源電流を確認することができる。またTVがHigh電圧の場合に大きな電流が流れることが確認できる。この結果より、内層にベタ電源層が存在する場合にも本検査法でピン浮きを検出できる可能性があることがわかる。



CH1: TV 電圧波形, CH2: 電源電流(5A/V, AC 結合)  
CH3: 電界印加用交流電源, CH4: S0 電圧波形

図8 測定結果

#### 4. むすび

電子回路製品の小型化要求により、ピン間ピッチが非常に狭い表面実装形 CMOS IC が主流となっている。これらの IC をプリント配線板に実装する際に発生するピン浮きは、従来の外観検査やファンクションテストでは検出困難な故障である。我々は過去に、回路外部から交流電界を印加した状態で電源電流を測定することで、ピン浮きの有無を検査する手法を提案し、実験によってその有用性を示してきた。過去の実験では片面基板を使用して評価実験を行ってきたが、多層基板を使用するのが一般的である。本研究ではベタ電源の存在する4層基板において本検査法でピン浮きが検出可能かどうかを調べるため、IC にピン浮きを挿入し、電源電流特性を測定した。その結果、本手法でピン浮きを検出できる可能性があることが確認できた。

本実験では、内層ベタ電源の基板を用いて測定を行った。現実には、これ以外に内層にはベタグラウンドや配線がレイアウトされる。内層ベタグラウンドや内層配線の存在する多層基板においてピン浮き発生時の電源電流特性を測定し、本検査法にどう影響するかを調査することが今後の課題である。

#### 参考文献

- 1) 秋山伸幸：検査技術の最新の話と動向，回路実装学会誌，Vol.11，22-24，1996.
- 2) 安藤護俊：実装の検査技術の現状と今後，サーキットテクノロジー，Vol.9，No.3，153-156(1994).
- 3) 尾藤頭一：CCDカメラによる半導体部品の検査，サーキットテクノロジー，Vol.9，No.3，157-162(1994).
- 4) 村岡建樹：レーザ式はんだ付け外観検査装置，サーキットテクノロジー，Vol.9，No.3，163-167(1994).
- 5) 島崎健一，深町哲昭：X線方式によるはんだ付け検査の現状と技術の動向，Vol.9，No.3，169-173(1994).
- 6) 深町哲昭：マイクロフォーカスX線による内部検査技術，回路実装学会誌，Vol.11，No3，181-188(1996)
- 7) 一宮正博，橋爪正樹，四柳浩之，為貞建臣：“CMOS論理ICの交流電界印加時の電源電流測定によるピン浮き検出法”，エレクトロニクス実装学会誌，Vol.6，No.2，140-146(2003).

- 8)高木正夫、月本功、橋爪正樹、一宮正博、四柳浩之、為貞建臣：交流電界印加時の電源電流による CMOS PLCC IC のピン浮き検出,平成 14 年度電気関係学会四国支部連合大会講演論文集, 139(2002).
- 9)高木正夫、月本功、橋爪正樹、一宮正博、四柳浩之、為貞建臣：交流電界印加時の電源電流による CMOS TQFP IC のピン浮き検出,平成 15 年度電気関係学会四国支部連合大会講演論文集, 134(2003).
- 10)高木正夫、橋爪正樹、石井寛文、月本功、一宮正博、四柳浩之、為貞建臣：低電源電圧 CMOS TQFP IC の交流電界印加時の電流テストによるピン浮き検出,平成16年度電気関係学会四国支部連合大会講演論文集, 110(2004).
- 11) 高木正夫、橋爪正樹、月本功、一宮正博、四柳浩之、為貞建臣：交流電界印加時のリード浮き電流テストでのリード浮き発生信号線への出力論理値の影響, H 1 7 年度電気関係学会四国支部連合大会講演論文集, 118(2005).