

# BGA LSI の実装時断線故障検出に対する 交流電界印加による電流テスト

月本 功\* 安藤 諒\*\* 高木 正夫\* 四柳 浩之\*\*\* 橋爪 正樹\*\*\*

## Supply Current Test under AC Electric Field for Detecting Open Faults on Soldering BGA LSI

Isao TSUKIMOTO, Ryo ANDO, Masao TAKAGI, Hiroyuki YOTSUYANAGI,  
and Masaki HASHIZUME

### Abstract

The supply current test method for detecting open faults of CMOS LSI on the printed circuit board under the AC electric field was proposed in the past. In previous research, the test method have evaluated for the QFP LSI. However, BGA packages which have solder balls in the bottom-side of package have been used in recent years. Thus, usefulness of the current test method for the package was evaluated by the experiment. On the evaluation, “EPM2210F256C4N” manufactured by ALTERA Corporation which is CPLD with 256 solder balls have used. As the result, the opens of BGA LSI on the printed circuit board could be detected by the method. Moreover, it was confirmed that the voltage applying AC electric field for detecting opens on center of bottom-side on the package is larger than one of outside of the package.

*Keywords:* Fault Detection, Supply Current, Open Faults, BGA, Reliability

### 1. はじめに

電子機器関連技術は高度情報経済化社会を支える根幹技術の一つであり、多くの分野で利用されている。したがって、電子機器御の中核で使用されるデジタル回路の信頼性向上は重要な課題である。

一方、電子機器の高機能化要求にともない、デジタル回路を構成する LSI の高機能・大規模化が進み、LSI が小型化した。その結果、LSI 端子間が狭ピッチ化したため、プリント基板上への部品実装時に生じるはんだ不良の検出が困難になっている。

実装不良の主な原因は、短絡故障と断線故障である。前者ははんだ過剰による隣接端子間の短絡によって、後者ははんだ不足によるプリント基板と LSI 間の接触不良によって生じる。

検査時には、検査担当者の目視による外観検査やカメラを用いた画像処理での検査が行われる。しかし、この方法では LSI の小型化にともない、検出が困難となる。また回路を実際に動作させ、正常機能するかどうかを確認する機能テストが実施されることが一般的である。機能テストでは、信号線の論

理値が 0, 1 いずれかの固定値として故障を扱う縮退故障モデルに基づき検査が行われる。短絡故障は故障箇所電圧が固定値となるため縮退故障でモデル化でき、原理上検出可能である。これに対し断線故障は故障箇所電圧値が不定であり、周辺温度や周辺回路動作の影響で変動するため、縮退故障でモデル化できず、機能テストを行っても見逃す可能性がある。

一方、正常な CMOS 回路は静的電源電流が流れないという電気的特徴があり、プリント基板上に実現されたデジタル回路に供給される静的電源電流  $I_{DDQ}$  を測定し、断線故障を検査する電流テスト法が提案された<sup>1)</sup>。本検査法は、回路外部から交流電界を印加した状態で回路に供給される電源電流を測定し、過剰な  $I_{DDQ}$  を検出すると故障ありと判定する。

過去に様々な条件下での評価が行われてきたが<sup>1)~6)</sup>、現在多く普及している BGA パッケージ LSI に対しては評価されていない。BGA は 接続端子である「はんだボール」が部品裏面にあるため、交流電界印加が困難であると考えられる。そこで BGA LSI のはんだボール断線故障を検出可能であるかの評価実験を行った。また、はんだボール断線箇所の物理的位置が断線故障検出にどのように影響するかを調べた。

\* 香川高等専門学校 電子システム工学科

\*\* 香川高等専門学校 専攻科 電子情報通信工学専攻

\*\*\* 徳島大学

## 2. 電流テストによる故障検出法

### 2.1. CMOS 回路の静特性

デジタル LSI を構成する CMOS 回路は、nMOS と pMOS を組合せることで実現される。基本ゲートの一つである NOT ゲートの回路図を図 1 に、静特性を図 2 に示す。図 2 の横軸は入力電圧  $V_i$ 、縦軸は出力電圧  $V_o$  (実線) と静的電源電流  $I_{DDQ}$  (点線) を表している。正論値の場合、論理値 0 は Low 電圧、論理値 1 は High 電圧に対応する。Low 電圧 ( $0 \leq V_i \leq V_{IL}$ )、High 電圧 ( $V_{IH} \leq V_i \leq V_{DD}$ ) は、半導体メーカーによって動作保証された電圧範囲である。以降 Low 電圧の範囲にある電圧を L、High 電圧の範囲にある電圧を H、で表すこととする。正常回路では、静的状態で入力電圧  $V_i$  は L あるいは H である。 $V_i$  が L の場合は nMOS が遮断状態、H の場合は pMOS が遮断状態となり  $I_{DDQ}$  は流れない。

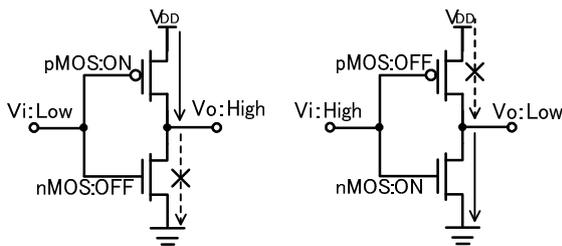


図 1 NOT ゲート回路

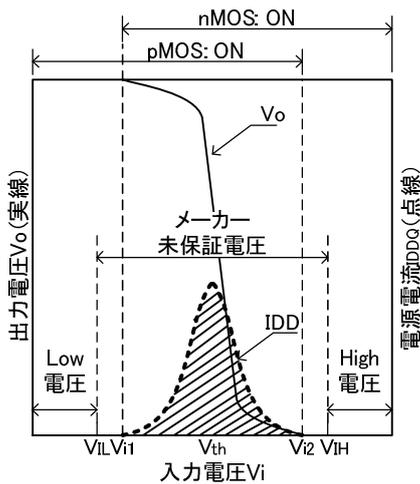


図 2 NOT ゲートの静特性

### 2.2. 電流テストによる断線故障検出原理

前節で述べたように正常時の CMOS 回路では  $I_{DDQ}$  は流れないという特徴を利用し、 $I_{DDQ}$  変化 ( $\Delta I_{DDQ}$ ) が測定されると故障ありと判定する検査法である。

LSI 実装時に生じる短絡故障は機能テスト、電流テストいづれでも検出可能である。本節では機能テストで検出困難な断線故障を検出対象とする「外部交流電界印加による電流テスト法」の故障原理について記述する。

図 3 に本検査法の検出原理を説明するための図を示す。図 3 では検査対象 IC は NOT 回路である。図中の a は前段 LSI との信号線、f は NOT 回路の入力端子である。

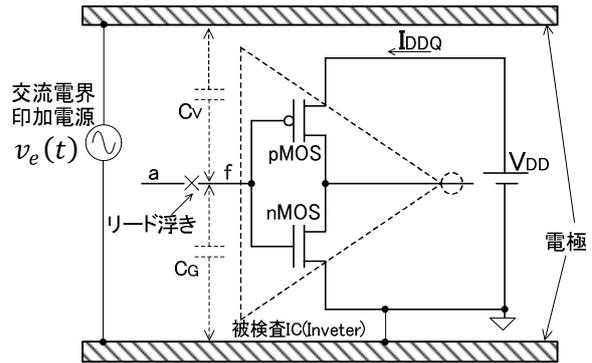


図 3 電流テスト原理図

図 3 のように a と f の間に断線故障が生じると、入力端子 f の電圧  $v_F$  が不定となる。 $v_F$  がしきい値電圧付近の場合には  $I_{DDQ}$  が流れ、断線故障検出が可能である。しかし  $v_F$  はしきい値電圧付近とは限らず  $I_{DDQ}$  が流れるとは限らない。そこで、図 3 に示すように外部から被検査 IC を電極で挟み、交流電界を印加した状態で  $I_{DDQ}$  を測定し、断線故障検出を行う。回路を電極で挟むことで、故障箇所端子 f と外部電極の間には浮遊容量  $C_v$  と  $C_g$  が存在する。したがって断線箇所端子電圧  $v_F$  は式(1)で表すことができる。

$$v_F(t) = \frac{C_v}{C_v + C_g} v_e(t) + V_0 \quad (1)$$

ここでの  $V_0$  は検査開始時の故障箇所電圧値 (初期電圧) である。

$v_F$  は式(1)の第 1 項により、 $v_e$  によって変化する。これにより、 $v_F$  をしきい値電圧付近に誘導することで  $\Delta I_{DDQ}$  を生じさせ、断線故障を検出する。

### 2.3. 交流電界印加による過剰電源電流誘導

外部電極から正弦波交流電界を印加した場合、断線故障発生個所の電圧  $v_F$  は式 (1) の第 1 項により正弦波状に変化する。その場合の  $\Delta I_{DDQ}$  が生じる様子を図 4～図 7 に示す。図中の  $V_{i1}$ 、 $V_{th}$ 、 $V_{i2}$  は図 2 の  $V_{i1}$ 、 $V_{th}$ 、 $V_{i2}$  である。これらの図は  $V_0$  が  $V_{i1}$  より小さい場合の波形である。 $v_e$  を 0[V] から大きくするに

ともない $v_F$ は $V_0$ から増加し、 $V_{i1}$ に達するまでは $I_{DDQ}$ は流れず、 $V_{i1}$ を超えると $I_{DDQ}$ が流れ始める。図4では、 $v_e$ の最大電圧付近で故障端子電圧が $V_{i1}$ を超えるため、その時刻に $I_{DDQ}$ が流れる。さらに $v_e$ を大きくする $I_{DDQ}$ は大きくなり、図5のように $v_e$ が $V_{th}$ の時に最大値となる。 $v_e$ をさらに増加させていき、 $v_F$ が $V_{th}$ より大きくなるにともない図6のように $I_{DDQ}$ が減少し、 $V_{i2}$ を超えると $I_{DDQ}$ は流れなくなる。そのため、図7に示すように $v_F$ の最大値が $V_{i2}$ を超えると、 $v_F$ は増加中と減少中に $V_{th}$ を通過するため、 $v_e$ の1周期に2度 $I_{DDQ}$ が流れる。初期電圧 $V_0$ が $V_{i2}$ より大きい場合は、 $v_e$ の減少時に $I_{DDQ}$ が流れる。これは $v_e$ の減少により $v_F$ が $V_{th}$ 付近に誘導されるためである。

以上のことから、断線故障の初期電圧が $V_{th}$ 付近でなく $I_{DDQ}$ が流れない場合でも、正弦波交流電界を印加することで $v_F$ を $V_{th}$ 付近に誘導し、 $\Delta I_{DDQ}$ を生じさせることができる。結果として $\Delta I_{DDQ}$ が測定されると、異常有りと判断することができる。

### 3. 評価実験

#### 3.1. 評価対象 LSI

アルテラ社製のMAXIIシリーズCPLDのBGA LSI「EPM2210F256C4N」を基板に実装し、評価対象とした。このLSIは0.18 $\mu$ mプロセスで製造された3.3[V]電源電圧仕様LSIである。外形寸法図を図8

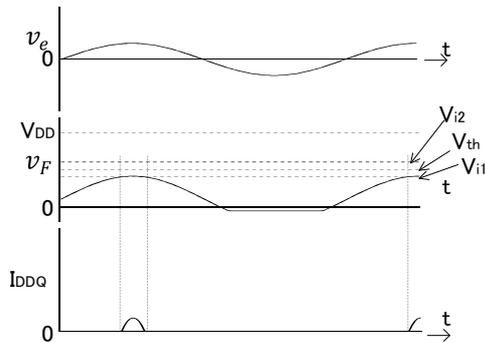


図4  $I_{DDQ}$ 流れ始めの波形

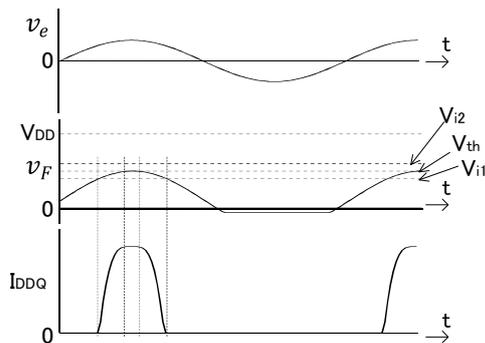


図5  $I_{DDQ}$ 最大時の波形

に示す。0.6mm径のはんだボールが、1mmピッチで16×16の格子状に配置された、外形寸法17mm×17mm、2.2mm厚のLSIである。

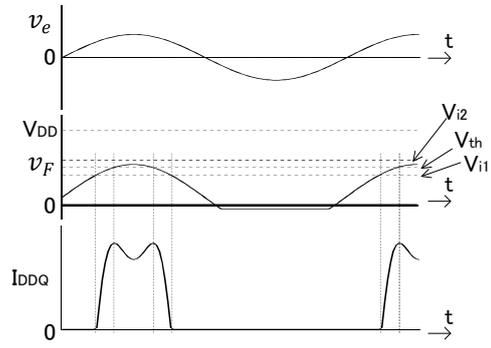


図6  $I_{DDQ}$ が減少し始める波形

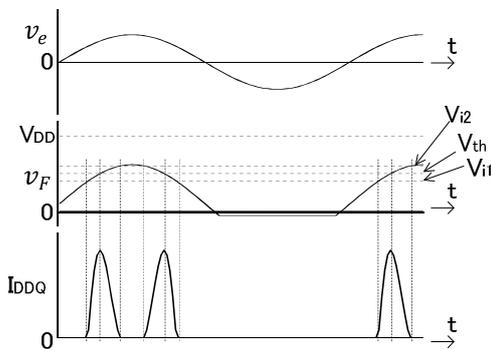
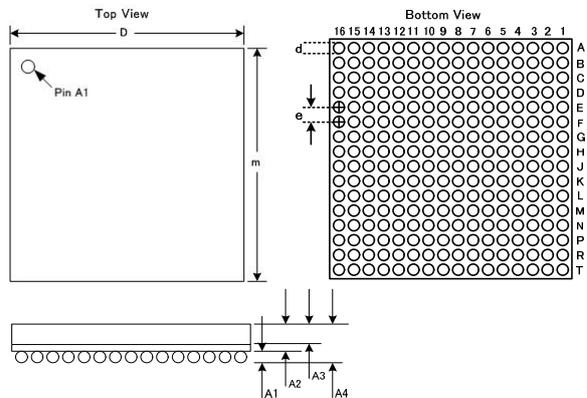


図7  $I_{DDQ}$ が2度流れる波形



シンボル	ミリメートル[mm]		
	最小	標準	最大
A1	0.30	-	-
A2	-	-	1.80
A3	-	0.70	-
A4	-	-	2.20
D	17.00		
E	17.00		
d	0.50	0.60	0.70
e	1.00		

図8 検査対象BGA LSIの外形図

#### 3.2. 評価実験用基板

評価実験用に80mm×140mm (t=1.6mm)サイズの4層基板を設計、製作した。基板にBGA LSIを実装した様子を図9に示す。基板設計においては、回路

設計に CADLUS Circuit, 基板配線設計に CADLUS X を用いた。ともに P 板 .com の CAD である。基板は部品面 (L1 層) と半田面 (L4 層), 内層ベタ層 (L2 層と L3 層) で構成され, L1 層と L4 層の配線パターンで, LSI の電源, GND, IO 各端子と基板外部接続コネクタとを配線している。L2 層と L3 層の内層は, ともにベタ面配線層としており, ベタ GND, ベタ電源として使用可能であるが, 本件ではともにベタ GND 層とした。また, はんだボール用の一部のランドに配線パターンを設けないことで, 断線箇所として使用できるようにしている。

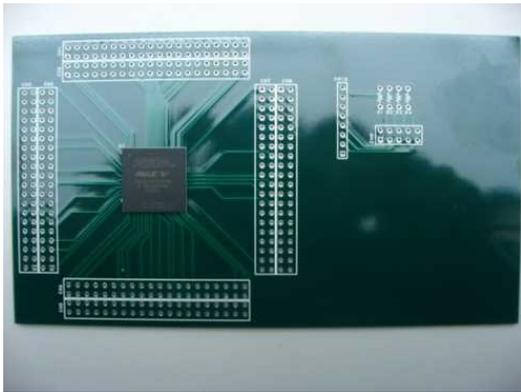


図 9 実験用基板

### 3.3. 実験方法

CPLD には図 10 の 4 ビット加算器を書き込んで使用した。4 ビット加算器の最下位ビット A0 には入力端子 a, b の AND 演算結果を入力している。図 10 中の AND 回路は, 図 11 のように NAND 回路と NOT 回路で構成される。端子 a の断線故障を検出するため NAND 回路に  $I_{DDQ}$  を生じさせるには, 端子 b に H を印加する必要がある。したがって TV は  $I_{DDQ}$  が流れる経路を活性化させるための入力信号である。

実験では 4 ビット加算器入力は A0 以外の A1~A3, B0~B3 全てを GND に接続し, L とした。このため出力 S1, S2, S3, C の電圧は常に L である。S0 は断線故障の発生している入力 a と TV の電圧により変化するので実験では出力 S0 の電圧  $V_{S0}$  も測定した。

評価実験で使用した測定装置の構成図を図 12 に, 実験で使用した機器類の概要を表 1 に示す。LSI を電極で挟み外部から正弦波交流電界を印加した状態で, LSI の入力に TV を印加し,  $I_{DDQ}$  を電流プローブと電流アンプを用いて測定する。交流電界印加用の正弦波発生器の出力をアンプで増幅し電極に印加する。TV は TV ジェネレータによって生成され, 印加タイミングは正弦波  $v_e$  と同期している。測定はデジタルオシロスコープで行い, オシロスコープの入

力は CH1 を TV, CH2 を  $I_{DDQ}$ , CH3 を印加する交流電界電圧  $v_e$ , CH4 を 4 ビット加算器の出力電圧  $V_{S0}$  とした。

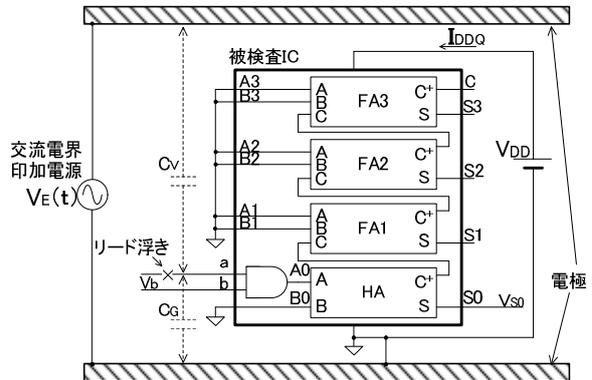


図 10 評価実験回路

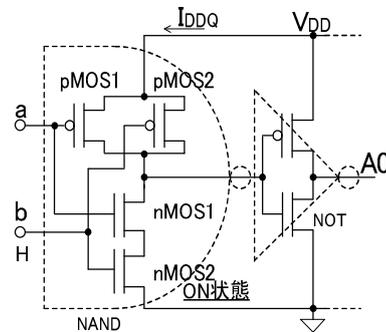


図 11 図 10 の AND 回路の内部回路

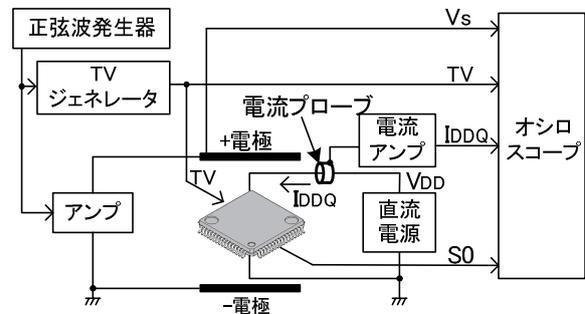


図 12 測定構成図

表 1 構成機器の概要

名称	概要
電極	上側:(縦)30mm×(横)30mm×(高さ)20mm 下側:(縦)50mm×(横)50mm×(高さ)12mm
直流電源	METRONIX社製524B,20V,1.2A
発振器	株式会社目黒電波計測器社製低ひずみ率発振器 MCR-402,正弦波,1kHz,最大4.86V
アンプ	ゲイン150倍
TVジェネレータ	発振器と同期,周期2倍,デューティ比50%
電流プローブ	Tektronix社製TCP305
電流アンプ	Tektronix社製TCP300,変換係数5[A/V]
オシロスコープ	Tektronix社製TDS3034B

#### 4. 実験結果

##### 4.1. 測定波形

図13は正常時の測定波形である。正常時には静的状態で信号線電圧がHかLに確定しているため、 $v_e$ を印加しても $\Delta I_{DDQ}$ は生じないことが確認できる。図14はLSI側面付近の断線箇所、図15はLSI裏中央付近の断線箇所の測定波形である。断線故障のある図14、図15とも、 $v_e$ の負電圧のピーク付近に丸枠箇所で図示した時刻で $\Delta I_{DDQ}$ が測定された。

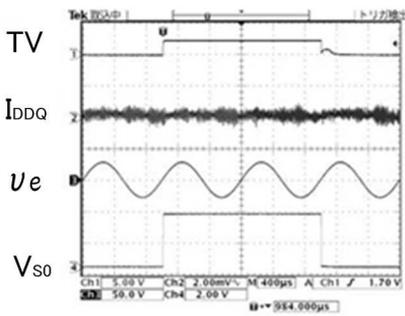


図13 正常時の波形

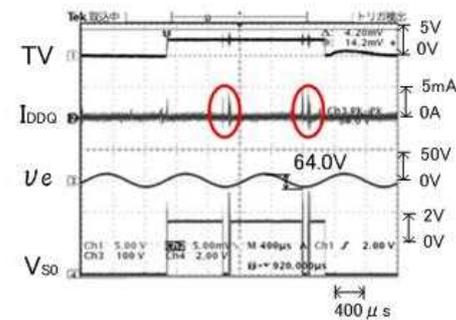


図14 LSI側面付近測定波形

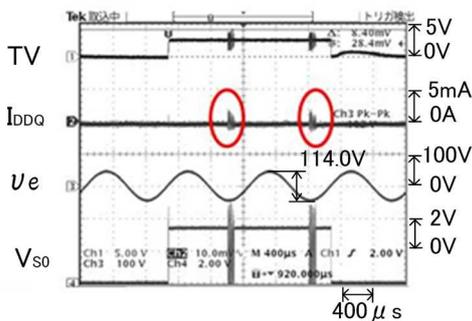
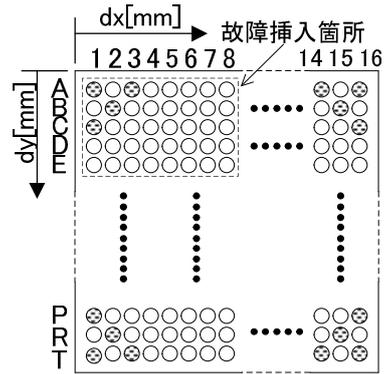


図15 LSI裏中央付近測定波形

##### 4.2. 故障箇所による故障検出への影響

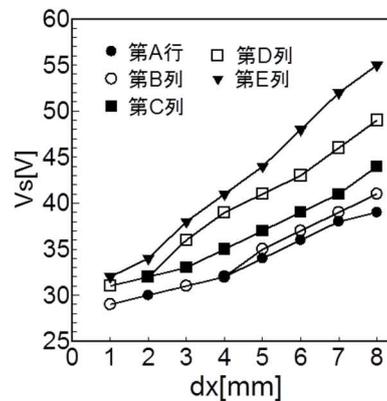
放熱設計のため、LSI中央付近のはんだボールは電源やGNDが集中していることが多い<sup>7)</sup>。評価対象

のLSIもほとんどの電源、GNDは中央付近に配置されている。そこで図16の点線に囲まれている1列～8列、A行～E行の範囲の、電源とGNDを除く計36箇所のIO端子についての単一断線故障時の評価実験を行った。1つのはんだボールの断線故障時の故障検出実験を行い、「 $\Delta I_{DDQ}$ を生じさせる $v_e$ の最小値 $V_s$ 」を測定した。その結果を図17に示す。図17、図18の横軸、は図16のLSIの側面を0[mm]基準としての基準からの距離を表している。縦軸は $V_s$ である。

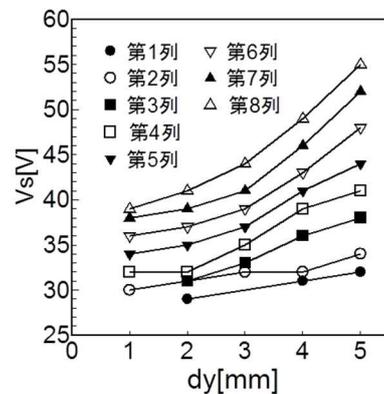


TOP VIEW

図16 故障挿入箇所



(a) X方向に対する変化



(b) Y方向に対する変化<sup>8)</sup>

図17 故障箇所による $V_s$ の変化

図 16 の故障挿入箇所すべてについて図 14, 図 15 と同様に  $\Delta I_{DDQ}$  が測定された。したがって断線故障が可能であると判断でき、BGA LSI に対しても本電流テスト法が有用であるとわかった。またすべての実験結果で、 $v_e$  の負電圧のピーク付近で  $\Delta I_{DDQ}$  が測定されたことから、本実験では故障検出実験開始時の初期電圧  $V_0$  がしきい値電圧以上であったとことがわかる。さらに図 17 より、LSI 中央部に近い箇所ほど、線故障検出のために印加する  $v_e$  を大きくする必要のあることが確認できる。

## 5. まとめ

CMOS LSI の断線故障検出法として外部交流電界印加状態での電流テスト法が過去に提案され、その有用性が確認された。本テスト法は、正常な CMOS 回路では静的電源電流が流れないという特徴を利用し、静的電源電流変化  $\Delta I_{DDQ}$  が測定された場合、断線故障ありと判断する検査法である。過去の研究では PLCC や QFP パッケージ等の接続端子が側面に存在する LSI で評価されてきたが、LSI 裏面に接続端子のはんだボールがレイアウトされた BGA パッケージ LSI については評価されていなかった。BGA LSI は断線箇所に直接交流電界を印加することが困難な構造であることから、本検査法が BGA LSI の断線故障検出においても有用かどうか、評価実験により検証した。また LSI 側面付近のはんだボールに比べ、中央付近のはんだボールは交流電界を印加しにくいと考え、断線発生位置が故障検出にどのように影響するかを調べた。

実験では検査対象 LSI をアルテラ社製 CPLD 「EPM2210F256C4N」とし、断線故障検出実験を行った。その結果、 $\Delta I_{DDQ}$  が測定されたことから、BGA LSI においても断線故障検出の可能性が確認できた。さらに複数箇所の断線故障について  $\Delta I_{DDQ}$  が流れ始める交流電界印加用電圧  $v_e$  の大きさを調べ比較した。その結果、LSI 中央部に近くなるほど、交流電界印加に必要な電圧が大きくなることがわかった。検査のために過大な交流電界を印加すると、検査対象 LSI 周辺の回路に障害を与える可能性があるため、今後は、より小さな交流電界印加によって断線故障検出可能な方法を提案、検討する必要がある。

## 参考文献

1) Masao Takagi et al., “AC Electric Field for Detecting Pin Opens by Supply Current of CMOS ICs”,

- Proceedings of International Conference on Electronics Packaging, pp217~222, 2004 年
- 2) 池上徹 他, “交流電界印加時電源電流測定によるリード浮き検出における内層ベタグラウンドの影響”, 平成 18 年度電気関係学会四国支部連合大会講演論文集 p.69, 2006 年
- 3) 月本功 他, “交流電界印加時の電流テストによる CMOS IC のリード浮き検出における電界印加電圧への周辺配線の影響”, 平成 20 年度電気関係学会四国支部連合大会講演論文集 p.103, 2008 年
- 4) 月本功 他, “90nm プロセス FPGA の外部交流電界印加状態でのリード浮き発生時静的電源電流測定”, 平成 21 年度電気関係学会四国支部連合大会講演論文集 p.115, 2009 年
- 5) 富田泰基 他, “ディーブサブミクロンプロセス FPGA のリード浮き発生時静的電源電流特性”, 平成 22 年度電気関係学会四国支部連合大会講演論文集 p.81, 2010 年
- 6) 西川大樹 他, “電流テストによる CMOS LSI のリード浮き検出に対する LSI 低消費電流化の影響”, 平成 23 年度電気関係学会四国支部連合大会講演論文集 p.130, 2011 年
- 7) 前田真一, “SiP/BGA 基板設計入門”, 日刊工業新聞社 p.73-89, 2011 年
- 8) 安藤諒 他, “交流電界印加時の電流テストによる BGA LSI のはんだボール断線故障検出”, 平成 25 年度電気関係学会四国支部連合大会講演論文集 p.100, 2013 年