

電流テストにおける交流電界印加用電圧波形形状による IDDQ 出現時間への影響

月本 功* 田中 聖也** 須崎 晴登*

Effect on IDDQ Flow Time by Voltage Waveform for Applying AC Electric Field on Supply Current Test

Isao TSUKIMOTO, Seiya TANAKA and Haruto SUZAKI

Abstract

The method for detecting lead open faults of CMOS ICs on printed circuit board by measuring quiescent power supply current (I_{DDQ}) was proposed in the past. The fault detectability is affected by the time of flowing I_{DDQ} (T_{FC}). In that method, sine waveform was used to detect open faults. In this research, Maximum value, minimum value, average value and standard deviation of T_{FC} of 8 waves are compared. As the result, trapezoidal wave is effectual waveform for supply current test.

Keywords: Fault Detection, Open fault, Supply Current, Waveform, Reliability

1. はじめに

現在社会において電子回路関係技術は不可欠な技術となっている。この技術は民生機器以外にも産業機器や医療機器など、信頼性の要求される用途で使用されている。電子回路にはアナログ回路とデジタル回路に大きく分類される。そのうち、デジタル回路は機器の制御で用いられることが多く、回路の誤動作は深刻な不具合につながる。したがって、デジタル回路の信頼性向上は、多くの分野における重要な課題の一つである。

デジタル回路の高機能化要求にともなって、回路を構成する LSI の高機能・大規模化が進む一方、非常に小型化された LSI が多く普及している。これらの LSI をプリント基板に実装して回路を製造した場合、製造後に、検査担当者目視の外観検査やカメラを用いた画像処理による検査が行われる。しかし、LSI 端子間が狭ピッチ化し、プリント基板上への部品実装時に生じる実装不良検査が困難になっている。

一方、回路を実際に動作させ、正常動作するか確認

する機能テストが一般に実施される。機能テストでは、回路内に生じた故障を、信号線の論理値が 0, 1 いずれかの固定値となった故障として扱う縮退故障モデルに基づき検査される¹⁾。LSI 実装時に生じる主な故障には、はんだ過剰による隣接端子間の短絡故障と、はんだ不足によるプリント基板と LSI 間の接触不良による断線故障(実装時の断線故障はリード浮きと呼ばれる)。短絡故障は故障箇所電圧が固定値となるため縮退故障でモデル化でき、原理上検出可能である。一方、デジタル LSI を構成する CMOS 回路の入力インピーダンスは非常に大きく、リード浮きは故障箇所電圧値が不定である。また、その電圧は周辺温度や周辺回路動作の影響で変動するため、縮退故障でモデル化できず、機能テストを行っても見逃す可能性がある。

これに対し、正常な CMOS 回路は静的電源電流が流れないという電気的特徴を利用した電流テストが過去に提案され、多くの評価実験が行われている^{2)~8)}。この検査法は、LSI を外部電極で挟み、回路外部から交流電界を印加した状態でプリント基板に実現された回路に供給される静的電源電流 I_{DDQ} を測定し、過剰な I_{DDQ} を検出すると故障ありと判定する。

* 香川高等専門学校 電子システム工学科

** 香川高等専門学校専攻科 電子情報通信工学専攻

本検査方法は、 I_{DDQ} を観測しリード浮きの有無を判定するため I_{DDQ} 値や I_{DDQ} 出現時間が重要な指標となる。しかし、LSI の低消費電力化の影響で、 I_{DDQ} 値や I_{DDQ} 出現時間が小さくなっている。これにより、リード浮きを見落とす可能性があり、検査品質低下につながる。 I_{DDQ} 出現時間は交流電界印加用電圧波形に影響されるため⁹⁾、本件では「 I_{DDQ} 出現時間の確保」を目標に、過去の評価実験で使用されていた正弦波を含む 8 種類の波形形状を使用し、各波形形状におけるリード浮き発生時の I_{DDQ} 出現時間(以降、 T_{FC} と表記)の測定・比較を行う。ここでは、 T_{FC} の変化が少なく、最小値が大きい波形を電流テストに適した波形であるものとする。

本検査法は LSI の電源電流特性を利用したものであるため、異なる LSI では電気的特性が異なるため電流テスト時の T_{FC} に差異が生じる。そこで、電気的特性が異なる 2 つ LSI を対象として同様の実験を行い、どの程度 T_{FC} に変化が現れるかを調べた。

2. 電流テストによる故障検出法

2.1. CMOS 回路の静特性

デジタル LSI は CMOS 回路で構成され、CMOS は nMOS と pMOS を組合せることで実現される。基本ゲートの一つである NOT ゲートの回路図を図 1 に示す。図 2 はその静特性である。図 2 の横軸は入力電圧 V_i 、縦軸は出力電圧 V_o (実線) と静的電源電流 I_{DDQ} (点線) である。正論理の場合、論理値 0 は Low 電圧、論理値 1 は High 電圧に対応する。Low 電圧 ($0 \leq V_i \leq V_{IL}$)、High 電圧 ($V_{IH} \leq V_i \leq V_{DD}$) は、半導体メーカーによって動作保証された電圧範囲である。以降 Low 電圧の範囲にある電圧を L、High 電圧の範囲にある電圧を H、で表す。正常回路では、静的状態で入力電圧 V_i は L あるいは H である。 V_i が L の場合は nMOS が遮断状態、H の場合は pMOS が遮断状態となり I_{DDQ} は流れない。

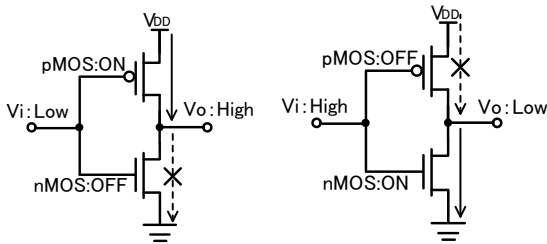


図 1 NOT ゲート回路

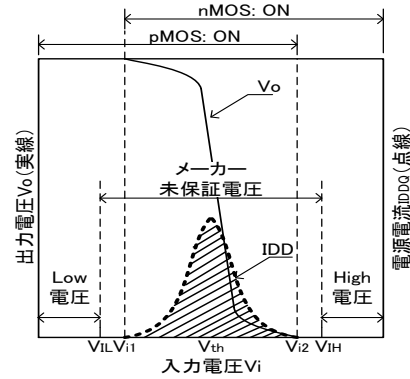


図 2 NOT ゲートの静特性

2.2. 電流テストによるリード浮き検出原理²⁾

電流テストでは正常な CMOS 回路では I_{DDQ} は流れないという特徴を利用し、 I_{DDQ} 変化 (ΔI_{DDQ}) が測定されると故障ありと判定する。LSI 実装時に生じる短絡故障は、機能テストでも検出可能であるため、本節では機能テストで検出困難なリード浮きを検出対象とする「外部交流電界印加による電流テスト法」の故障原理について述べる。

本検査法の検出原理図を図 3 に示す。図 3 では検査対象 IC は NOT 回路で、図中の a は前段 LSI との信号線、f は NOT 回路の入力端子である。

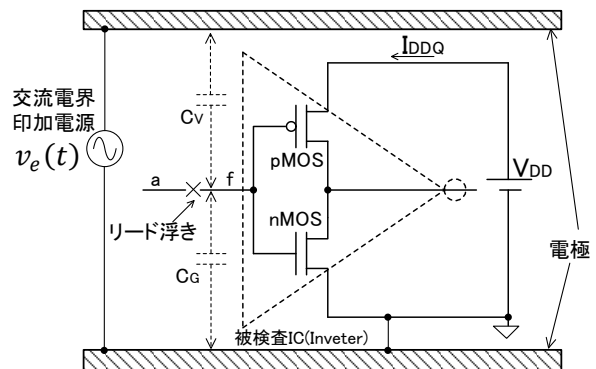


図 3 電流テスト原理図

a と f の間にリード浮きが生じると、入力端子 f の電圧 v_f が不定であるが、 v_f がしきい値電圧付近の場合には I_{DDQ} が流れ、リード浮き検出が可能である。しかし、 v_f はしきい値電圧付近とは限らず、その場合は I_{DDQ} が流れない。そこで、図 3 に示すように外部から被検査 IC を電極で挟み、交流電界を印加した状態で I_{DDQ} を測定し、リード浮き検出を行う。回路を電極で挟むことで、故障箇所端子 f と外部電極の間には浮遊容量 C_v と C_g が存在する。したがって断線箇所端子電圧 v_f は式 (1) で表すことができる。

$$v_F(t) = \frac{C_V}{C_V + C_G} v_e(t) + V_0 \quad (1)$$

ここでの V_0 は検査開始時の故障箇所電圧値 (初期電圧) である。

v_F は式(1)の第1項により、 v_e によって変化する。これにより、 v_F をしきい値電圧付近に誘導することで ΔI_{DDQ} を生じさせ、リード浮きを検出する。

2.3. 交流電界印加による静的電源電流発生

外部電極から正弦波交流電界を印加した場合、リード浮き発生個所の電圧 v_F は式 (1) の第1項により正弦波状に変化する。印加電圧 v_e の振幅を大きくしていくと、図4に示すように、 v_F の電圧値は I_{DDQ} が流れる範囲まで変化し、 ΔI_{DDQ} が生じることになる。電極の GND は検査対象の GND に接続されるので、故障箇所と GND 電極間の距離は LSI によらずほぼ一定で、 C_G の値もほぼ変化しない。したがって C_V の値を大きくできれば、リード浮き検出のための v_e を小さくすることができる。

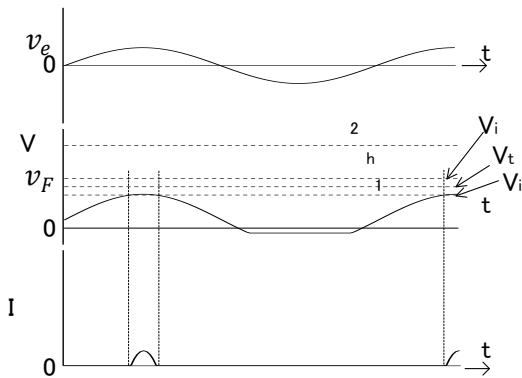


図4 v_e による I_{DDQ} の発生

3. リード浮き発生箇所初期電圧 V_0 による T_{FC} の変化

T_{FC} が変化するのには、交流電界印加用電圧波形だけではなく、故障箇所電圧の検査開始時初期電圧 V_0 によっても T_{FC} に差が現れる。 V_0 の影響による T_{FC} の変化を図5に示す。 V_0 によって、 v_f がしきい値を通過する時間にも変化が現れるため、 I_{DDQ} が出現する時間にも変化が現れる。

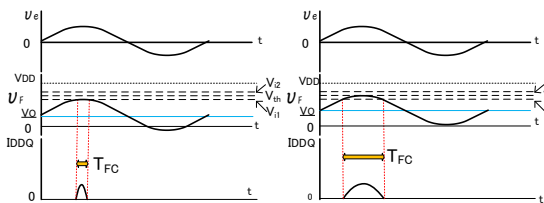


図5 V_0 による T_{FC} の変化

4. 評価実験

4.1. 評価対象 LSI

Altera 社製の MAX V CPLD 「5M240ZT144C5N」 と Xilinx 社製 Coolrunner- II CPLD 「XC2C256-7TQG144C」 を評価対象 LSI とした。2 つとも 0.18[μ m] 製造プロセスで、電源電圧仕様が 1.8[V](内部電源) と 3.3[V](I/O 電源) の CMOS LSI である。

4.2. 評価対象波形形状

今回の評価対象とする交流電界印加用電圧波を図6に示す。図6の左上から正弦波、三角波、矩形波、のこぎり波、逆のこぎり波、矩形波の積分波と微分波、台形波の計8種類である。全ての波形は、ELMOS 社製任意波形生成装置「AWG-10K」を用いて生成されている。表1に AWG-10K 仕様を示す。積分波、微分波は「AWG-10K」に対応した任意波形生成ソフト「KWG」の指数関数波形生成の機能より時定数を設定して生成している。積分波と微分波の時定数は 10[μ s] とした。

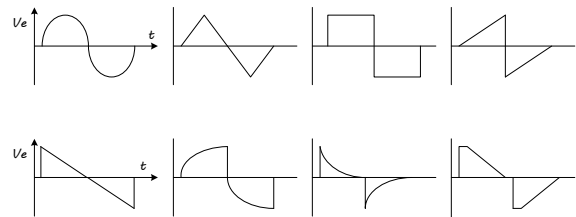


図6 評価対象波形形状

表1 AWG-10K 仕様

スルーレート	31.4[V/ μ s]
出力最高周波数	500[kHz]
サンプリング時間	100[ns]~330[ns]
メモリ	SRAM
立ち上がり時間	112[ns]

4.3. 実験方法

実験に使用した基板を図7に示す。基板サイズは 90mm \times 130mm ($t=1.6$ mm) である。図7では MAX CPLD が実装されているが、Coolrunner- II CPLD についても同様の基板を使用している。

CPLD には図8の4ビット加算器を書き込んで使用した。4ビット加算器の最下位ビット A0 には入力端子 a, b の AND 演算結果を入力している。図中の AND 回路は、図9のように NAND 回路と NOT 回路で構成される。端子 a のリード浮きを検出するため、NAND 回路に I_{DDQ} を生じさせるには、端子 b に H を印加する

必要がある。TV は I_{DDQ} が流れる経路を活性化させるため、端子 b に与える信号である。

4 ビット加算器入力 A0 以外の A1~A3, B0~B3 全てを GND に接続し、L とした。これにより出力 S1, S2, S3, C の電圧は常に L である。S0 はリード浮きの発生している入力 a と TV の電圧により変化するので実験では出力 S0 の電圧 V_{S0} も測定した。



図7 評価実験用基板

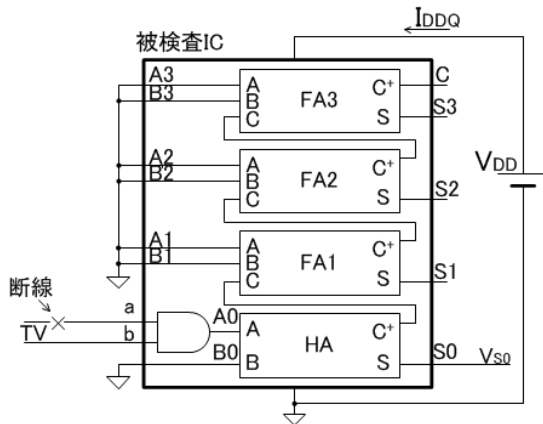


図8 評価実験回路

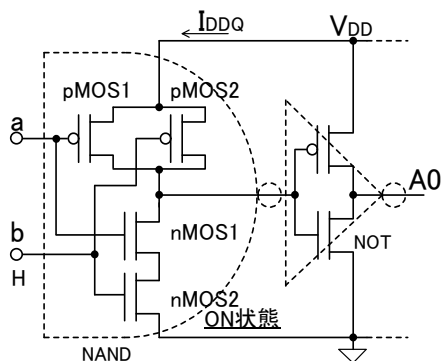


図9 図8のAND回路の内部回路

評価実験で使用した測定装置の構成図を図10に、実験で使用した機器類の概要を表2に、それぞれ示す。LSI を電極で挟み外部から正弦波交流電界を印加した

状態で、LSI の入力に TV を印加し、 I_{DDQ} を電流プローブと電流アンプを用いて測定する。交流電界印加用の任意波形生成装置の出力をアンプで増幅し電極に印加する。TV には 3.3[V] 印加している。

測定はデジタルオシロスコープで行い、オシロスコープの入力は CH1 を TV, CH2 を I_{DDQ} , CH3 を印加する交流電界電圧 v_e , CH4 を 4 ビット加算器の出力電圧 V_{S0} とした。

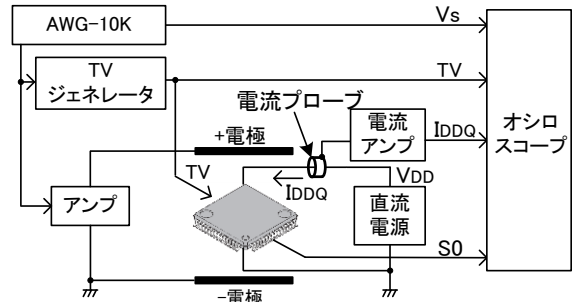


図10 測定構成図

表2 構成機器概要

名称	概要
電極	上側:(縦)30mm×(横)30mm×(高さ)20mm 上側:(縦)50mm×(横)50mm×(高さ)12mm
直流電源	METRONIX社製524B,20V,1.2A
AWG-10K	ELMOS社製 任意波形生成装置
アンプ	ゲイン25倍
TVジェネレータ	3.3[V]
電流プローブ	Tektronix社製TCP305
電流アンプ	Tektronix社製TCP300,変換係数5[A/V]
オシロスコープ	Tektronix社製TDS3034B 受動プローブ: TekP3139A 入力容量10~14[pF]

印加する v_e 波形とリード浮き発生箇所初期電圧 V_0 によって変化する。本実験では、 I_{DDQ} 測定前に故障箇所にて 0[V]~3.2[V] の範囲 (0.2[V] 刻み) で一時的に印加した。また、 v_e は 60[Vpp], 周波数は 10[kHz] とした。波形印加ごとに V_0 の 1 設定あたり 10 回の T_{FC} 測定を行い、 T_{FC} の最大値、最小値、平均値および標準偏差を求めた。

4.4. 実験結果

図11は台形波を印加した場合の測定波形である。実験では図11のオシロスコープ画面から T_{FC} を測定した。Altera社製「5M240ZT144C5N」とXilinx社製Coolrunner-II「XC2C256-7TQG144C」を評価対象とした場合の印加波形形状ごとの T_{FC} の最大値、最小値、平均値および標準偏差を表3と表4に示す。比較項目は平均値、標準偏差、最大値、最小値の4項目あるが、標準偏差と最小値が重要な項目である。

Altera 社製 CPLD 「5M240ZT144C5N」については、表3より、過去の評価実験で使用していた正弦波の標準偏差より小さいのは、三角波、のこぎり波、台形波の3種類である。その中で、最小値が最も大きいのは台形波である。一方、Xilinx 社製 CPLD 「XC2C256-7TQG144C」については、表4より、正弦波より標準偏差が小さいのは、三角波、のこぎり波、逆のこぎり波、微分波、台形波の5種類である。その中で最小値が最も大きいのは台形波であった。

この結果より、評価対象とした2つのLSIについては、ともに台形波が電流テストに適した波形であることが確認できた。

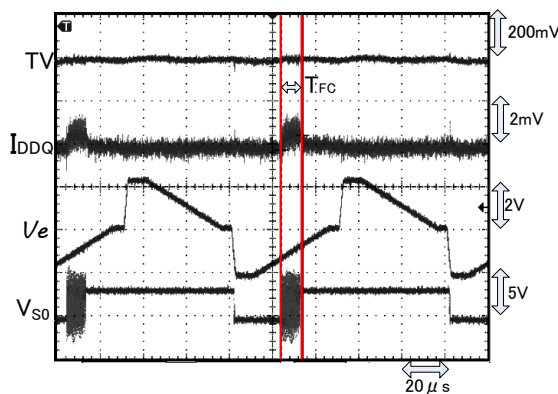


図11 測定波形例(台形波印加の場合)

表3 印加波形形状によるT_{FC}比較
(5M240ZT144C5Nの場合)

波形	平均値[µs]	標準偏差[µs]	最大値[µs]	最小値[µs]
正弦波	8.40	5.90	24.88	3.12
三角波	9.10	5.10	24.60	3.76
矩形波	9.80	15.00	41.12	1.24
のこぎり波	12.20	5.50	29.01	5.16
逆のこぎり波	14.50	6.20	26.80	5.56
積分波	11.80	13.70	39.60	1.56
微分波	14.60	9.20	35.08	3.72
台形波	12.50	4.90	24.40	5.28

表4 印加波形形状によるT_{FC}比較
(XC2C256-7TQG144Cの場合)

波形	平均値[µs]	標準偏差[µs]	最大値[µs]	最小値[µs]
正弦波	9.93	7.47	34.00	2.40
三角波	8.98	5.59	33.60	1.60
矩形波	11.29	16.92	47.20	0.80
のこぎり波	11.47	5.74	29.20	2.40
逆のこぎり波	8.12	3.84	24.80	2.00
積分波	11.17	11.06	45.60	1.20
微分波	9.22	5.53	31.20	2.00
台形波	9.74	4.61	26.80	2.80

評価対象としたLSIによってどの程度T_{FC}に差異が現れているのかを調べるため、Altera社製CPLDのT_{FC}

値を基準にXilinx社製CPLDのT_{FC}値がどの程度変化しているかをまとめた。その結果を表5に示す。

表5より、平均値、標準偏差、最大値に関しては増加した波形と減少した波形が確認できるが、最小値に関しては全ての波形が減少していることがわかる。

表5 LSIによるT_{FC}変化

波形	平均値[%]	標準偏差[%]	最大値[%]	最小値[%]
正弦波	18.21	26.61	36.66	-23.08
三角波	-1.32	9.61	36.59	-57.45
矩形波	15.20	12.80	14.79	-35.48
のこぎり波	-5.98	4.36	0.65	-53.49
逆のこぎり波	-44.00	-38.06	-7.46	-64.03
積分波	-5.34	-19.27	15.15	-23.08
微分波	-36.85	-39.89	-11.06	-46.24
台形波	-22.08	-5.92	9.84	-46.97

5. まとめ

電流テスト法は、正常なCMOS回路では静的電源電流I_{DDQ}が流れないという特徴を利用し、I_{DDQ}変化が測定された場合、リード浮きありと判断する検査法である。このテスト法では、回路を外部電極で挟み、回路外部から交流電界を印加状態でI_{DDQ}を測定する。本検査方法は、I_{DDQ}を観測しリード浮きの有無を判定するためI_{DDQ}値やI_{DDQ}出現時間が重要な指標となる。しかし、LSIの低消費電力化の影響で、I_{DDQ}値やI_{DDQ}出現時間が小さくなっている。これにより、リード浮きを見落とす可能性があり、検査品質低下につながる。

I_{DDQ}出現時間は交流電界印加用電圧波形に影響されるため、本件では「I_{DDQ}出現時間の確保」を目標に、過去の評価実験で使用されていた正弦波を含む8種類の波形形状を使用し、各波形形状におけるリード浮き発生時のT_{FC}の測定・比較を行った。また、異なるLSIでは電気的特性が異なるため電流テスト時のT_{FC}に差異が生じる。そこで、Altera社製CPLD「5M240ZT144C5N」とXilinx社製CPLD「XC2C256-7TQG144C」の2つのLSIを対象として同様の実験を行い、どの程度T_{FC}に変化が現れるかを確認した。

その結果、2つのLSIにおいてT_{FC}変化の低減と最小値増加を確認できた波形は台形波であった。また、Altera社製「5M240ZT144C5N」に比べ、Xilinx社製「XC2C256-7TQG144C」の方が、今回対象とした8波形すべてに対して、T_{FC}の最小値が減少していることがわかった。

参考文献

- 1) 玉本英夫, "論理回路の故障診断", 日刊工業新聞社, 1983年

- 2) Masao Takagi et al., "AC Electric Field for Detecting Pin Opens by Supply Current of CMOS ICs", Proceedings of International Conference on Electronics Packaging, pp.217~222, 2004 年
- 3) 池上徹 他, "交流電界印加時電源電流測定によるリード浮き検出における内層ベタグラウンドの影響", 平成 18 年度電気関係学会四国支部連合大会講演論文集 p.69, 2006 年
- 4) 月本功 他, "交流電界印加時の電流テストによる CMOS IC のリード浮き検出における電界印加電圧への周辺配線の影響", 平成 20 年度電気関係学会四国支部連合大会講演論文集 p.103, 2008 年
- 5) 月本功 他, "90nm プロセス FPGA の外部交流電界印加状態でのリード浮き発生時静的電源電流測定", 平成 21 年度電気関係学会四国支部連合大会講演論文集 p.115, 2009 年
- 6) 富田泰基 他, "ディープサブミクロンプロセス FPGA のリード浮き発生時静的電源電流特性", 平成 22 年度電気関係学会四国支部連合大会講演論文集 p.81, 2010 年
- 7) 西川大樹 他, "電流テストによる CMOS LSI のリード浮き検出に対する LSI 低消費電流化の影響", 平成 23 年度電気関係学会四国支部連合大会講演論文集 p.130, 2011 年
- 8) 安藤諒 他, "交流電界印加時の電流テストによる BGA LSI のはんだボール断線故障検出", 平成 25 年度電気関係学会四国支部連合大会講演論文集 p.100, 2013 年
- 9) Seiya Tanaka et al., "IDDQ Flowing Time by Voltage Waveform for Applying AC Electric Field on Supply Current Test", Proceedings of International Seminar on Nanoscience and Nanotechnology 2016, pp.35-36