

LSI 実装時半断線故障に対する 電流テストによる検出可能性の評価

月本 功* 安藤 健太* 須崎 晴登**

Evaluation of Detectability for Resistive Open Fault on Soldered LSI by Supply Current Test Method

Isao TSUKIMOTO, Kenta ANDO and Haruto SUZAKI

Abstract

The supply current test method to detecting open faults of CMOS IC was proposed in the past. Open faults include complete open faults and resistive open faults. Until now, complete open faults have been researched as targets. In this research, resistive open faults are targeted. In this research, the range of voltage which resistive open faults can be detected was investigated.

Keywords : Fault Detection, Resistive Open, Supply Current, Detectability

1. はじめに

電子回路関係技術は不可欠な技術であり、この技術は産業機器や医療機器などといった高い信頼性の要求される用途でも多く使用されている。電子回路のうち、特にデジタル回路は電子回路製品の中核を担っており、この回路における信頼性向上は重要な課題である。

デジタル回路を構成する LSI は高機能化・大規模化する一方、電子機器の小型化要求にともない、非常に小型化された LSI が多く使用されている。しかしながら、この小型化によって、LSI をプリント基板にはんだ付けした後に行われる検査が非常に困難になっている。

一般的に行われる検査には、目視やカメラを用いた画像処理による外観検査や、実際に回路を動作させて正常に動作するか確認する機能テストがある。外観検査は LSI の小型化のため以前に比べ、故障検出が難しい状況にある。一方、機能テストでは、回路内の故障を、デジタル回路の信号線の論理値が 0 か 1 のい

ずれかの固定値となった故障としてモデル化して扱う縮退故障に基づいている¹⁾。LSI をプリント基板にはんだ付けした際に生じる故障には、はんだ過剰による隣接リードとの短絡故障とはんだ不足による断線故障がある。

短絡故障が生じた場合、故障箇所電圧が固定値となるため縮退故障でモデル化でき、短絡故障は機能テストで検出可能である。断線故障には、LSI のリードと基板パッドが完全に断線している完全断線故障（リード浮き）と、ある抵抗値を持った状態で接続されている半断線故障が存在する。完全断線故障が生じた場合には、故障箇所リードの電圧が不定であり、その電圧は周辺温度や周辺回路動作でも変動するため、縮退故障でモデル化できず、機能テストを行っても見逃す可能性がある。また、半断線故障の場合は、故障箇所抵抗の大きさによっては正常回路と同様の動作をするため、同様に機能テストでは検出できない可能性がある。

これに対し、正常な CMOS 回路は静的電源電流 I_{DDQ} が流れないという電気的特徴を利用した電流テストが過去に提案され、多くの評価実験が行われ、その有用性が確認されている^{2)~7)}。しかしながら、これらの評価

* 香川高等専門学校 電子システム工学科

** 香川高等専門学校専攻科 電子情報通信工学専攻

実験で検出対象としていたのは完全断線故障で、半断線故障を対象としての評価・検証はほとんど実施されていない。電流テストでは故障箇所の抵抗成分が小さいほど正常な状態に近づくため故障の検出が困難となる。そこで、本研究ではこの半断線故障を対象として電流テストを適用した場合、どの程度までの抵抗成分なら半断線故障を検出できるのかを調査した。

過去の研究により回路規模が同程度の LSI であっても、メーカーによって電気的特性は異なり、流れる I_{DDQ} にも差異があることが確認されている⁹⁾。そこで、評価実験では、同じパッケージ形状で同程度の回路規模である 2 種類の LSI を対象として評価実験を行った。

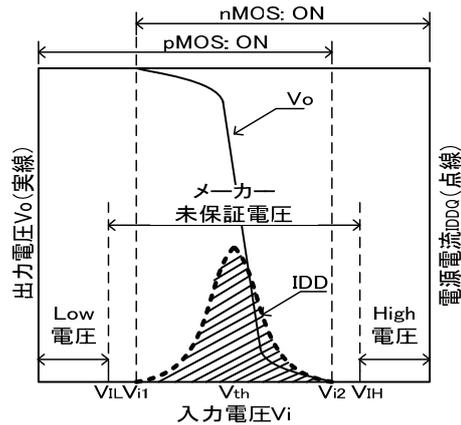


図2 NOT ゲートの静特性

2. 完全断線故障に対する電流テスト⁷⁾

2.1. CMOS 回路の静特性

現状のデジタル LSI は CMOS 回路で実現されている。この CMOS 回路は nMOS と pMOS を組合せることで実現される。基本ゲートの 1 つである NOT ゲートの回路図を図 1 に、その静特性を図 2 に示す。図 2 の横軸は入力電圧 V_i 、縦軸は出力電圧 V_o (実線) と静的電源電流 I_{DDQ} (点線) である。正論理において、論理値 0 は Low 電圧、論理値 1 は High 電圧に対応し、これらの電圧は図 2 に示すように電圧範囲を持っている。図 2 の V_{IL} , V_{IH} はそれぞれの LSI ごとで規定されている。以降、Low 電圧の範囲にある電圧を L、High 電圧の範囲にある電圧を H で表す。

正常回路では、静的状態で入力電圧 V_i は L あるいは H である。 V_i が L の場合は nMOS が遮断状態、H の場合は pMOS が遮断状態となり I_{DDQ} は流れない。したがって、もし、 I_{DDQ} が生じた場合、なんらかの故障が存在すると判断することができる。

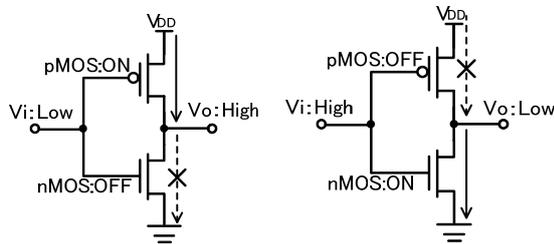


図1 NOT ゲート回路

2.2. 電流テストによる故障検出原理

電流テストでは、正常な CMOS 回路では I_{DDQ} は流れないという特徴を利用する。最新の微細化プロセス

で製造された LSI によっては、リーク電流等で I_{DDQ} が一定量流れ、必ずしも 0[A] とは限らない場合もあるため、 I_{DDQ} の変化 (ΔI_{DDQ}) が測定されることにより故障ありと判定する。LSI 実装時に生じる短絡故障は、機能テストでも検出可能であるため、本節では機能テストで検出困難なリード浮きを検出対象とする「外部交流電界印加による電流テスト法」の故障原理について述べる。

本検査法の検出原理図を図 3 に示す。図 3 では検査対象 IC は NOT 回路である。図中の a は前段 LSI との信号線、f は NOT 回路の入力端子である。

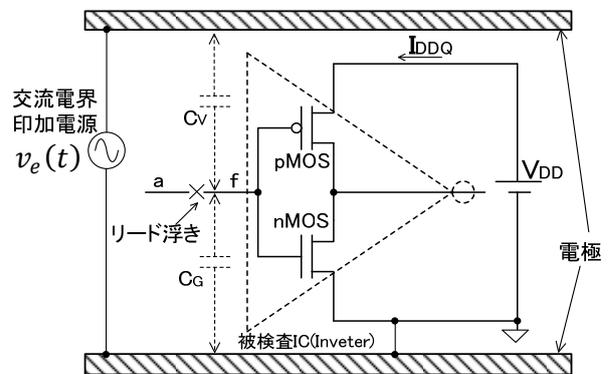


図3 電流テスト原理図

a と f の間に完全断線故障 (リード浮き) が生じた場合、入力端子 f の電圧 v_f は不定となる。 v_f がしきい値電圧付近の場合には I_{DDQ} が流れ、リード浮き検出が可能である。しかし、必ずしも v_f がしきい値電圧付近とは限らず、その場合には I_{DDQ} が流れない。そこで、図 3 に示すように外部から被検査 IC を電極で挟み、交流電界を印加した状態で I_{DDQ} を測定し、リード浮きを検査する。回路を電極で挟むことで、故障箇所端子 f と外部電極の間には浮遊容量 C_v と C_g が存在する。 v_e が

正弦波の場合、断線箇所端子電圧 v_F は式(1)で表すことができる。

$$v_F(t) = \frac{C_V}{C_V + C_G} v_e(t) + V_0 \quad (1)$$

ここでの V_0 は検査開始時の故障箇所電圧値(初期電圧)である。

v_F は式(1)の第1項により、 v_e によって変化する。これにより、 v_F をしきい値電圧付近に誘導することで ΔI_{DDQ} を生じさせ、リード浮きを検出する。

2.3. 交流電界印加による静的電源電流発生

外部電極から正弦波交流電界を印加した場合、リード浮き発生個所の電圧 v_F は式(1)の第1項により正弦波状に変化する。印加電圧 v_e の振幅を大きくしていくと、図4に示すように、 v_F の電圧値は I_{DDQ} が流れる範囲まで変化し、 ΔI_{DDQ} が生じることになる。なお、図中の V_{i1} 、 V_{th} 、 V_{i2} は図2の横軸記入の電圧である。電極のGNDは検査対象ICのGNDに接続されるので、故障箇所とGND電極の距離はLSIによらずほぼ一定であるため、 C_G の値もほぼ変化しない。したがって C_V の値を大きくできれば、リード浮き検出のための v_e を小さくすることができる。

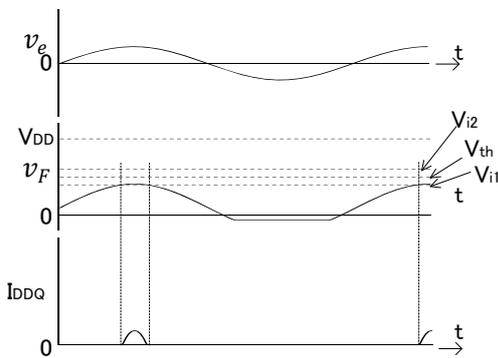


図4 v_e による I_{DDQ} の発生

3. 半断線故障に対する電流テスト

半断線故障が存在する場合、図3の信号線aとfの間に抵抗成分(半断線抵抗)を持つことになり、図3は図5で等価的に表現できる。図中の V_0 は故障箇所から見た前段のLSIの出力電圧、 R_F は半断線抵抗である。3.3[V]電源系統の場合、 V_0 の代表的な電圧は0[V]または3.3[V]である。

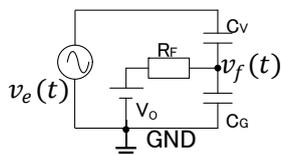


図5 半断線故障発生時の図3の等価回路

完全断線に対する評価時には、交流電界印加用電源波形形状として主に1kHzの正弦波を用いてきた。しかし、その場合、 C_V と C_G のインピーダンスに比べ R_F の値が小さいため、 v_f の減衰が大きく、故障箇所電圧をほとんど変化させることができず、半断線故障を検出することが困難である。そこで、 v_e として高い周波数成分を有する矩形波を用いる。図5は C_V と R_F による微分回路に加え、 R_F に並列に C_G が存在している回路であるが、 C_G のインピーダンスに比べ R_F が小さいため、 v_f は図6のように、矩形波に対して微分特性に近い応答特性を示す。図6に示すように、矩形波の立上り時・立下り時には大きな電圧が故障箇所へ誘導されるが、時間的に減衰する。減衰時間は断線抵抗 R_F の値に依存するため、 R_F の値が小さいほど、 ΔI_{DDQ} が生じる時間が短くなるが、この電流変化を観測できれば、半断故障の有無を判定可能となる。

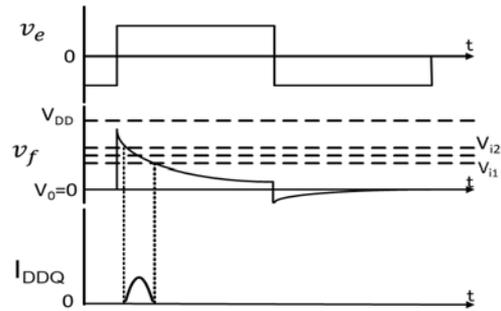


図6 半断線故障に対する電圧誘導

印加する v_e は大きな電圧を印加する必要があるため、信号源からの矩形波を増幅して生成する。そのため v_e は理想的な矩形波とはならず、一定の傾きで変化する。矩形波の立上り時の傾きを k [V/s]とすると、立上り時の v_f の時間的な変化は式(2)で表される。式(2)より、 R_F が小さくなると、立上り時の v_f の最大値が小さくなり、図6の I_{DDQ} が流れる電圧範囲まで増加することが難しくなることがわかる。

$$v_f(t) = kR_F C_V \left(1 - e^{-\frac{t}{R_F(C_V + C_G)}} \right) \quad (2)$$

4. 評価実験

4.1. 評価対象回路

Intel社製のMAX V CPLD「5M240ZT144C5N」とXilinx社製Coolrunner-II CPLD「XC2C256-7TQG144C」を評価対象LSIとした。2つとも0.18[μ m]製造プロセスで、電源電圧が1.8[V](内部電源)と3.3[V](I/O電源)のLSIである。主な仕様と比較表を表1に示す。

表1 検査対象LSIの主な仕様

	MAX V (5M240ZT144C5N)	CoolRunner II (XC2C256-7TQG144C)
パッケージタイプ	TQFP	TQFP
ピッチ間隔[mm]	0.5	0.5
ピン数	144	144
I/O電源[V]	3.3	3.3
内部電源[V]	1.8	1.8
製造プロセス[μm]	0.18	0.18
マクロセル	192	256

実験に使用した基板を図7に示す。基板サイズは90mm × 130mm (t=1.6mm) である。図7ではMAX V CPLDが実装されているが、Coolrunner-II CPLDについても同じ基板を使用している。また、両LSIには2入力AND回路を書き込んでいる。



図7 評価実験用基板

4.2. 実験方法

LSIの入力リードと基板パッドの間の半断線故障を模擬する抵抗を挿入することは非常に困難である。一方、LSIの出力リードの半断線故障は次段のLSIの入力リードの故障と等価なので、図8のように前段の出力リードの半断線故障を模擬する抵抗 R_F を設置し、評価実験を行う。なお、ここでは図5の V_0 は0[V]としている。実験では、 R_F として1[M Ω]の可変抵抗を用い、この可変抵抗の値を1[M Ω]から徐々に小さくしていき、過剰な I_{DDQ} の生じる時間 T_{FC} を測定する。過剰な I_{DDQ} が生じなくなる最も小さい抵抗値を本評価実験で検出可能な判断線抵抗の最小値とする。

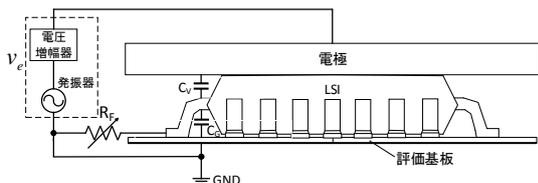


図8 半断線故障検出実験方法

T_{FC} を測定するための測定系を図9に、測定に使用した機器の概要を表2に示す。LSIを電極で挟み外部から矩形波交流電界を印加した状態で、電流プローブと電流アンプを用いて I_{DDQ} を測定する。CPLDに書き込んだAND回路の入力の1つには3.3[V] (TV) を印加し、もう1つの入力に R_F を接続する。測定はデジタルオシロスコープで行い、オシロスコープの入力はCH2を I_{DDQ} 、CH3を印加する交流電界印加電圧 v_e 、CH4をAND回路の出力 V_0 とした。

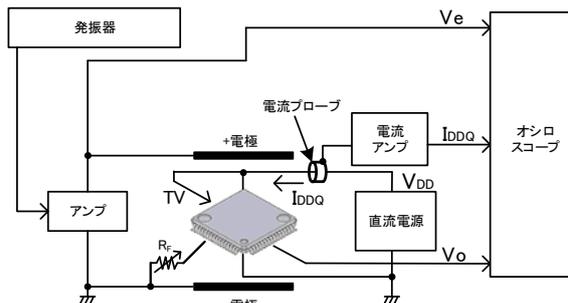


図9 測定系図

表2 使用機器概要

名称	概要
電極	上側:(縦)30mm × (横)30mm × (高さ)20mm 上側:(縦)50mm × (横)50mm × (高さ)12mm
直流電源	METRONIX社製524B,20V,1.2A
AWG-10K	ELMOS社製 任意波形生成装置
アンプ	ゲイン25倍
TVジェネレータ	3.3[V]
電流プローブ	Tektronix社製TCP305
電流アンプ	Tektronix社製TCP300,変換係数5[A/V]
オシロスコープ	Tektronix社製TDS3034B 受動プローブ: TekP3139A 入力容量10~14[pF]

電極には大きな v_e を印加する必要があるため、図10の非反転増幅回路を用いて増幅した電圧を使用する。図10では、TEXAS INSTRUMENTS社製の高電圧オペアンプOPA454を用いている。実験では10[kHz]の矩形波を使用し、図10により発振器からの信号を増幅し、 v_e のピーク電圧は80[V]とした。なお、図10の回路のスルーレートは約17[V/ μsec]である。

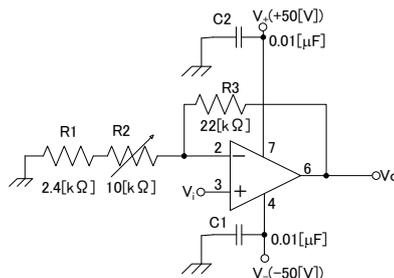


図10 交流電界印加用増幅回路の回路図

4.3. 実験結果

実際の測定した波形例を図 11 に示す。図 11 は MAXV における R_F が $150k[\Omega]$ の場合の測定波形である。図 11 のような測定波形から、目測により T_{RC} を計測する。

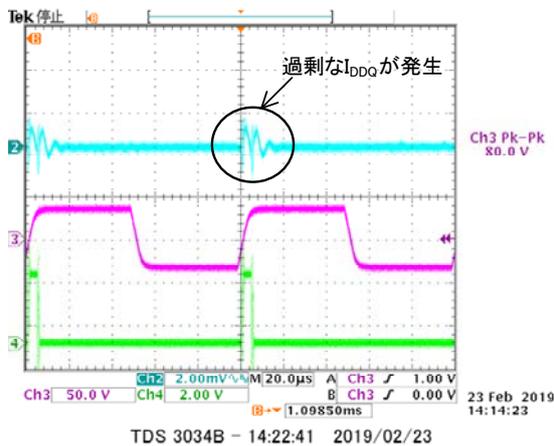


図 11 測定波形例

測定結果を図 12 に示す。図 12 より、MAXV において検出可能な判断線抵抗の最小値が $88[k\Omega]$ なのに対し、Coolrunner-□では $175[k\Omega]$ と、約 2 倍の差があることが分かる。この結果より、検出可能な半断線故障の抵抗値は LSI の電気的特性に依存することが確認できる。

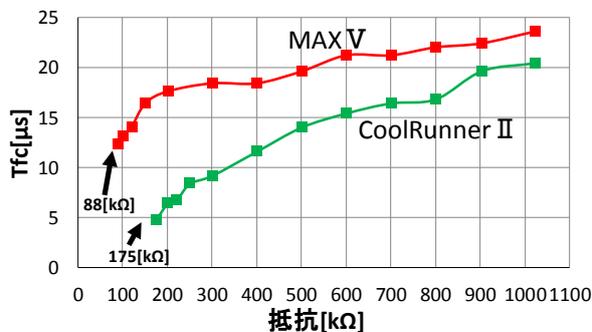


図 12 実験結果

5. まとめ

LSI 実装に生じる断線故障は一般的な機能テストでは検出できない可能性がある。この断線故障の検出に対して有用性が確認されている電流テスト法は、正常な CMOS 回路では静的電源電流 I_{DDQ} が流れないという特徴を利用し、 I_{DDQ} 変化が測定された場合、リード浮きありと判断する検査法である。これまでの断線故障検出評価実験では、LSI のリードと基板上的のパッドが完全に未接続状態となった完全断線故障に対してのみ

評価を実施してきた。しかしながら、ある抵抗値をもって完全には断線状態になっていない半断線故障に対しての評価はほとんど行われていなかった。そこで、Intel 社製の MAX V CPLD 「5M240ZT144C5N」と Xilinx 社製 Coolrunner-□ CPLD 「XC2C256-7TQG144C」を評価対象 LSI とし、半断線故障に対して電流テストを適用し評価実験を行った。実験では可変抵抗を故障箇所へ挿入して半断線故障を模擬し、可変抵抗の値を小さくしていき、どの程度小さな半断線抵抗まで検出可能かを実験的に評価した。実験においての結果では、検出可能な最小の半断線故障の大きさは MAXV では $88[k\Omega]$ 、Coolrunner-□では $175[k\Omega]$ であった。この2つはパッケージ形状が同じで回路規模も同程度の LSI である。実験結果より、電流テストで検出可能な半断線故障の判断線抵抗は、LSI の電気的特性で異なることが確認できた。

参考文献

- 1)玉本英夫, ”論理回路の故障診断”, 日刊工業新聞社, 1983 年
- 2)Masao Takagi et al., ”AC Electric Field for Detecting Pin Opens by Supply Current of CMOS ICs”, Proceedings of International Conference on Electronics Packaging, pp217~222, 2004
- 3)月本功 他, ”交流電界印加時の電流テストによる CMOS IC のリード浮き検出における電界印加電圧への周辺配線の影響”, 平成 20 年度電気関係学会四国支部連合大会講演論文集 p.103, 2008 年
- 4)月本功 他, ”90nm プロセス FPGA の外部交流電界印加状態でのリード浮き発生時静的電源電流測定”, 平成 21 年度電気関係学会四国支部連合大会講演論文集 p.115, 2009 年
- 5)西川大樹 他, ”電流テストによる CMOS LSI のリード浮き検出に対する LSI 低消費電流化の影響”, 平成 23 年度電気関係学会四国支部連合大会講演論文集 p.130, 2011 年
- 6) Seiya Tanaka et al, ”IDDQ Flowing Time by Voltage Waveform for Applying AC Electric Filed on Supply Current Test”, Proceedings of International Seminar on Nanoscience and Nanotechnology 2016, pp.35-36, 2016
- 7)月本功 他, ”電流テストにおける交流電界印加用電圧波形形状による I_{DDQ} 出現時間への影響”, 独立行政法人国立高等専門学校機構香川高等専門学校研究紀要 第 8 号, pp.133-138, 2017 年