

電流テストによる LSI 実装時断線故障検出における 基板内層からの交流電界印加

月本 功* 田中 聖也*

Applying AC Electric Field from Internal Layer of Printed Circuit Board for Detecting Open Faults by Supply Current Test

Isao TSUKIMOTO and Seiya TANAKA

Abstract

The supply current test method for detecting open faults of CMOS LSI on the printed circuit board under the AC electric field was proposed in the past. In the test method, AC electric field was applied from an external electrode. In the research, different method for applying AC electric field is proposed. In the method, the electrode in the internal layer in the printed circuit board used. Moreover, the experimental evaluations are performed. On the evaluation, “5M240ZT144C5N” that manufactured by ALTERA Corporation used. As the result, the opens of the LSI on the printed circuit board could be detected by the method. Moreover, it was confirmed that AC electric field for detecting output opens by applying from the internal layer electrode is smaller than one form the external electrode and is larger than one form the external electrode.

Keywords: Fault Detection, Supply Current, Open Faults, Reliability

1. はじめに

電子回路関係技術は現在社会において不可欠な技術であり、民生機器以外に産業機器や医療機器など、信頼性の要求される用途で使用されている。電子回路にはアナログ回路、デジタル回路があるが、デジタル回路は機器の制御で用いられ、回路の誤動作は深刻な不具合を生じる。そのためデジタル回路の信頼性向上は、多くの分野における重要な課題の一つである。

一方、デジタル回路の高機能化要求にともなって、回路を構成する LSI の高機能・大規模化が進み、非常に小型化された LSI が普及している。その結果、LSI 端子間が狭ピッチ化し、プリント基板上への部品実装時に生じる実装不良検査が困難になっている。

LSI 実装時に生じる主な故障は、はんだ過剰による隣接端子間の短絡故障と、はんだ不足によるプリント基板と LSI 間の接触不良による断線故障である。

検査時には、検査担当者目視の外観検査やカメラを用いた画像処理による検査が行われる。しかし、LSI 小型化によって、この方法での故障検出が困難となっている。また、回路を実際に動作させ、正

常動作するかをテストする機能テストが一般に実施される。

機能テストでは、回路内に生じた故障を、信号線の論理値が 0, 1 いずれかの固定値となった故障として扱う縮退故障モデルに基づき検査される。短絡故障は故障箇所電圧が固定値となるため縮退故障でモデル化でき、原理上検出可能である。一方、断線故障は故障箇所電圧値が不定であり、かつ周辺温度や周辺回路動作の影響で変動するため、縮退故障でモデル化できず、機能テストを行っても見逃す可能性がある。

これに対し、正常な CMOS 回路は静的電源電流が流れないという電気的特徴を利用した電流テストが存在する^{1)~7)}。この検査法は、プリント基板上に実現されたデジタル回路に供給される静的電源電流 I_{DDQ} を測定し、過剰な I_{DDQ} を検出すると故障ありと判定する。電流テストでは、LSI を外部電極で挟み、回路外部から交流電界を印加した状態で検査を行う。交流電界印加のために電極に加える電圧値は、電極と故障リード間の距離に依存し、パッケージ形状によって大きく変化する。特に BGA 形状の LSI は、はんだボールが LSI 裏側にあり、交流電界印加が困難となり、中央部に近づくほど大きな交流電界を印加する必要があることがわかっている⁷⁾。

* 香川高等専門学校 電子システム工学科

大きな交流電界を印加すると、検査対象周辺の回路に障害を与えることが考えられるため、基板外部からではなく、基板内層に電極となる配線を設け、基板内層から交流電界を印加する方法を提案し、評価実験を行ったので、報告する。

2. 電流テストによる故障検出法

2.1. CMOS 回路の静特性

デジタル LSI は CMOS 回路で構成され、CMOS は nMOS と pMOS を組合せることで実現される。基本ゲートの一つである NOT ゲートの回路図を図 1 に示す。また図 2 はその静特性である。図 2 の横軸は入力電圧 V_i 、縦軸は出力電圧 V_o (実線) と静的電源電流 I_{DDQ} (点線) である。正論値の場合、論理値 0 は Low 電圧、論理値 1 は High 電圧に対応する。Low 電圧 ($0 \leq V_i \leq V_{IL}$)、High 電圧 ($V_{IH} \leq V_i \leq V_{DD}$) は、半導体メーカーによって動作保証された電圧範囲である。以降 Low 電圧の範囲にある電圧を L、High 電圧の範囲にある電圧を H、で表す。正常回路では、静的状態で入力電圧 V_i は L あるいは H である。 V_i が L の場合は nMOS が遮断状態、H の場合は pMOS が遮断状態となり I_{DDQ} は流れない。

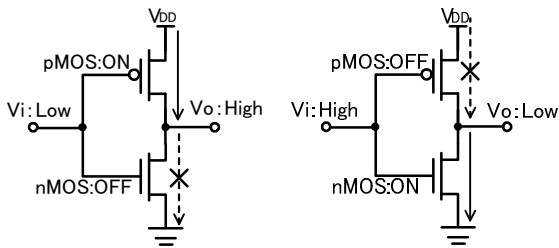


図 1 NOT ゲート回路

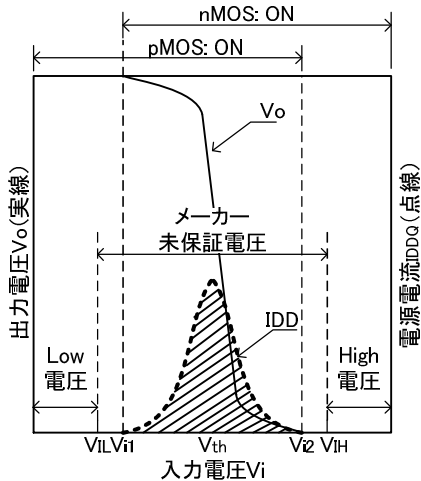


図 2 NOT ゲートの静特性

2.2. 電流テストによる断線故障検出原理

電流テストでは正常な CMOS 回路では I_{DDQ} は流れないという特徴を利用し、 I_{DDQ} 変化 (ΔI_{DDQ}) が測定されると故障ありと判定する。LSI 実装時に生じる短絡故障は、機能テストでも検出可能であるため、本節では機能テストで検出困難な断線故障を検出対象とする「外部交流電界印加による電流テスト法」の故障原理について述べる。

本検査法の検出原理図を図 3 に示す。図 3 では検査対象 IC は NOT 回路で、図中の a は前段 LSI との信号線、f は NOT 回路の入力端子である。

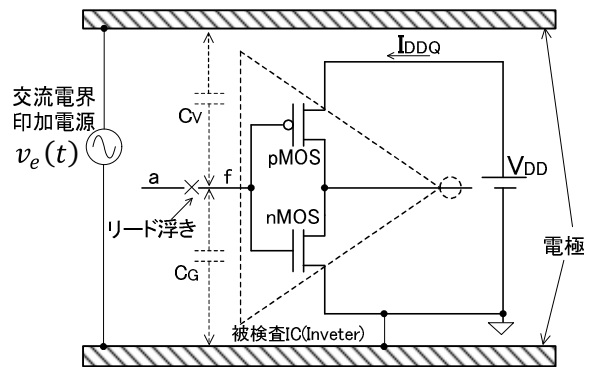


図 3 電流テスト原理図

a と f の間に断線故障が生じると、入力端子 f の電圧 v_F が不定であるが、 v_F がしきい値電圧付近の場合には I_{DDQ} が流れ、断線故障検出が可能である。しかし v_F がしきい値電圧付近とは限らず I_{DDQ} が流れるとは限らない。そこで、図 3 に示すように外部から被検査 IC を電極で挟み、交流電界を印加した状態で I_{DDQ} を測定し、断線故障検出を行う。回路を電極で挟むことで、故障箇所端子 f と外部電極の間には浮遊容量 C_V と C_G が存在する。したがって断線箇所端子電圧 v_F は式(1)で表すことができる。

$$v_F(t) = \frac{C_V}{C_V + C_G} v_e(t) + V_0 \quad (1)$$

ここでの V_0 は検査開始時の故障箇所電圧値 (初期電圧) である。

v_F は式(1)の第 1 項により、 v_e によって変化する。これにより、 v_F をしきい値電圧付近に誘導することで ΔI_{DDQ} を生じさせ、断線故障を検出する。

2.3. 交流電界印加による静的電源電流発生

外部電極から正弦波交流電界を印加した場合、断線故障発生個所の電圧 v_F は式 (1) の第 1 項により正弦波状に変化する。印加電圧 v_e の振幅を大きくしていくと、図 4 に示すように、 v_F の電圧値は I_{DDQ} が

流れる範囲まで変化し、 ΔI_{DDQ} が生じることになる。電極のGNDは検査対象のGNDに接続されるので、故障箇所とGND電極間の距離はLSIによらずほぼ一定で、 C_G の値もほぼ変化しない。したがって C_V の値を大きくできれば、断線故障検出のための v_e を小さくすることができる。

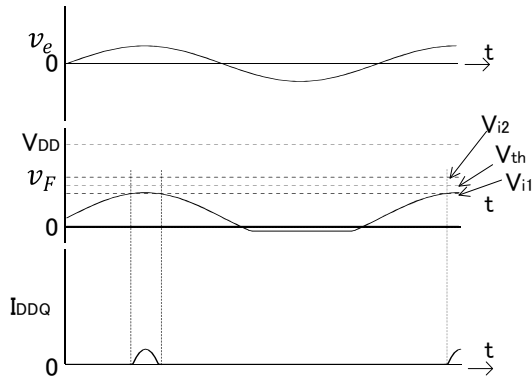


図4 v_e による I_{DDQ} の発生

3. 内層電極からの交流電界印加

本件では、検査時に外部電極を設置するのではなく、プリント基板設計時に事前に基板内層に検査用電極を設置しておく。通常使用時には電極はGND電位に設定し、検査時のみ交流電界印加用電極として使用する。電極層は基板第2層とする。交流電界の様子を図4に示す。故障箇所との間には静電容量 C_X が存在する。この C_X が図3の C_V である。外部電極を使用する場合に比べて、電極と故障箇所の距離が短いこと、誘電率（ガラスエポキシ基板の場合は比誘電率4.7程度）が小さいことから、外部電極使用時より、 C_V の値を小さくできる。

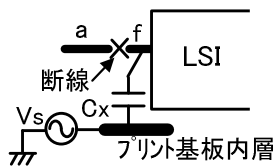


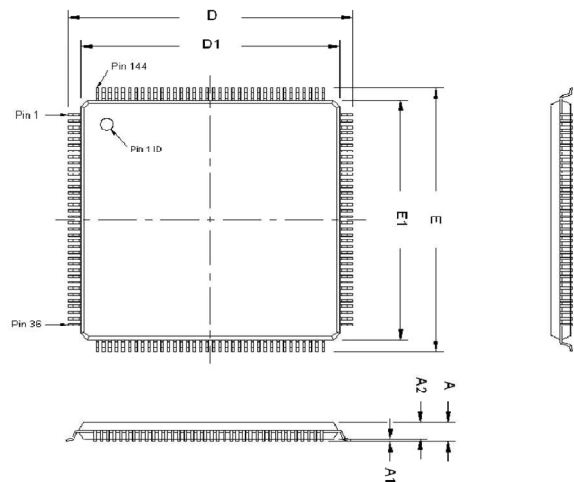
図5 基板内層から電圧誘導

外部電極使用時には、LSIの厚みの違いによって、電極と故障箇所の距離が違うため、検査時に印加する v_e の大きさはLSIパッケージ形状によって違いが生じる¹⁾。これに対し、内層電極を使用した場合は、故障箇所と電極の距離はLSI形状によらず一定であり、 C_V に対する影響は小さい。

4. 評価実験

4.1. 評価対象 LSI

アルテラ社製のMAXVシリーズCPLDのLSI「5M240ZT144C5N」を基板に実装し、評価対象とした。このCPLDは0.18 μ mプロセスで製造されたLSIで、内部電源電圧は1.8[V]である。またIO電源電圧は3.3[V]、2.5[V]、1.8[V]、1.2[V]を選択使用可能であるが、本件ではIO電源電圧は3.3[V]とした。外形寸法図を図6に示す。このLSIは厚さ1.6[mm]の144ピンのTQFPパッケージLSIである。



パッケージ寸法			
シンボル	ミリメートル[mm]		
	最小	標準	最大
A	-	-	1.60
A1	0.05	-	0.15
A2	1.35	1.40	1.45
D	22 BSC		
D1	22 BSC		
E	22 BSC		
E1	22 BSC		

図6 検査対象 LSI の外形図

4.2. 評価実験用基板

評価実験には90mm×130mm (t=1.6mm) サイズの4層基板を使用した。基板にLSIを実装した様子を図7に示す。基板には、外部供給の3.3[V]から、LSI内部電源1.8[V]を生成するレギュレータ回路が実装されている。また半田面(L4層)はベタ配線層とし、外部配線でGNDに接続している。

内層のL2層、L3層のパターン配線図を図8に示す。図8に示す通り、L2層の一部にベタ配線領域がある。この領域が直下となる39番ピンと71番ピンに断線故障を挿入し、実験を行った。なお71番ピンには入力断線故障、39番ピンには出力断線故障を挿入している。

出力断線故障は、出力リード断線を生じた LSI の次段に接続された LSI の入力断線故障としてモデル化される。そのため、本実験における出力断線故障は、LSI の出力リード断線ではなく、入力リードに接続された配線の片側がオープンになった状態として扱った。

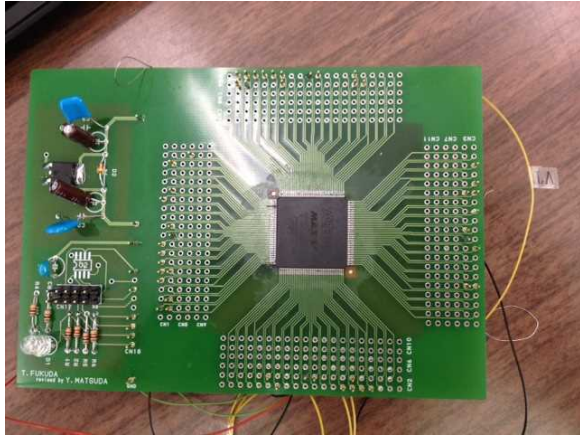
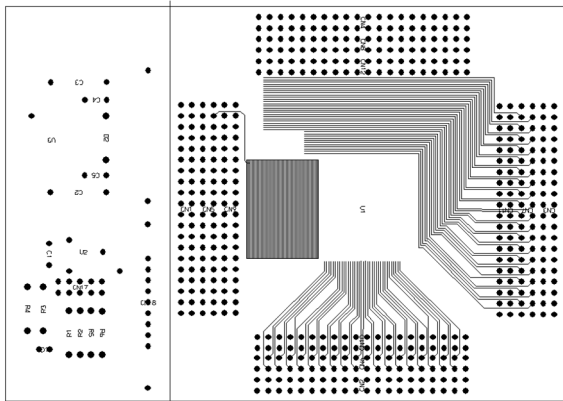
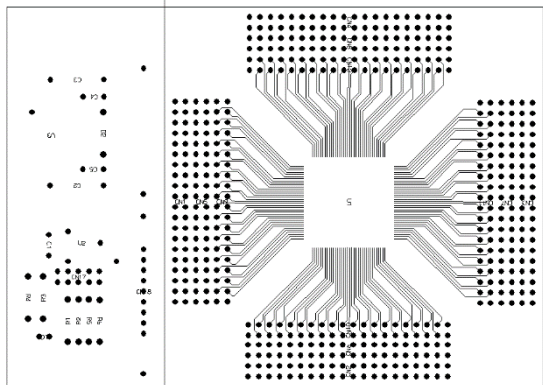


図 7 実験用基板



(a)L2 層の配線パターン



(b)L3 層の配線パターン

図 8 内層のパターン配線図

4.3. 実験方法

CPLD には図 9 の 4 ビット加算器を書き込んで使用した。4 ビット加算器の最下位ビット A0 には入力端子 a, b の AND 演算結果を入力している。

図中の AND 回路は、図 10 のように NAND 回路と NOT 回路で構成される。端子 a の断線故障を検出するため、NAND 回路に I_{DDQ} を生じさせるには、端子 b に H を印加する必要がある。TV は I_{DDQ} が流れる経路を活性化させるため、端子 b に与える信号である。

4 ビット加算器入力 A0 以外の A1~A3, B0~B3 全てを GND に接続し、L とした。これにより出力 S1, S2, S3, C の電圧は常に L である。S0 は断線故障の発生している入力 a と TV の電圧により変化するので実験では出力 S0 の電圧 V_{S0} も測定した。

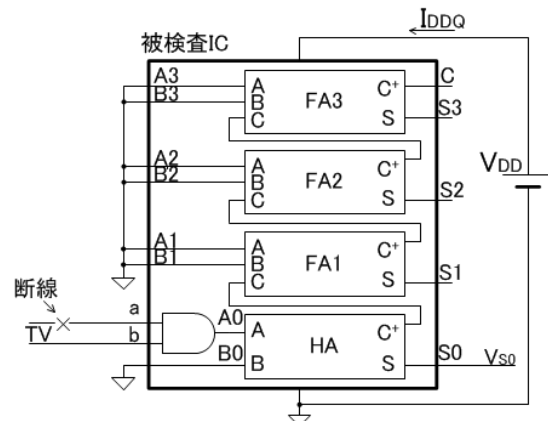


図 9 評価実験回路

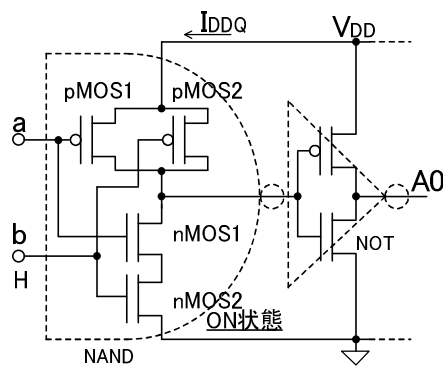


図 10 図 9 の AND 回路の内部回路

評価実験で使用した測定装置の構成図を図 11 に、実験で使用した機器類の概要を表 1 に、それぞれ示す。LSI を電極で挟み外部から正弦波交流電界を印加した状態で、LSI の入力に TV を印加し、 I_{DDQ} を電流プローブと電流アンプを用いて測定する。交流電界印加用の正弦波発生器の出力をアンプで増幅し電極に印加する。TV は TV ジェネレータによって生成

され、印加タイミングは正弦波 v_e と同期している。

測定はデジタルオシロスコープで行い、オシロスコープの入力はCH1をTV, CH2を I_{DDQ} , CH3を印加する交流電界電圧 v_e , CH4を4ビット加算器の出力電圧 V_{S0} とした。

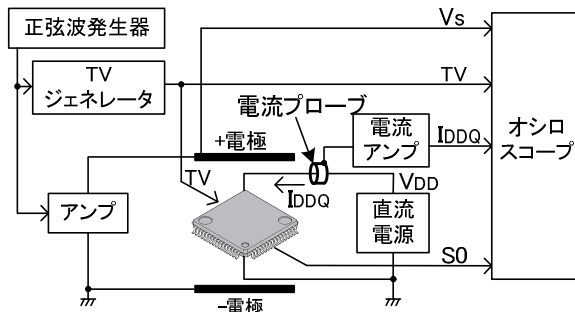


図 11 測定構成図

表 1 構成機器概要

名称	概要
電極	上側:(縦)30mm×(横)30mm×(高さ)20mm 下側:(縦)50mm×(横)50mm×(高さ)12mm
直流電源	METRONIX社製524B,20V,1.2A
発振器	株式会社目黒電波計測器社製低ひずみ率発振器 MCR-402,正弦波,1kHz,最大4.86V
アンプ	ゲイン150倍
TVジェネレータ	発振器と同期,周期2倍,デューティ比50%
電流プローブ	Tektronix社製TCP305
電流アンプ	Tektronix社製TCP300,変換係数5[A/V]
オシロスコープ	Tektronix社製TDS3034B

5. 実験結果

図 12 は正常時の測定波形である。正常回路では、 v_e を印加しても ΔI_{DDQ} は生じないことが確認できる。断線故障発生時の測定波形例を図 13 に示す。どちらの場合にも、 v_e の負電圧のピーク付近時刻で ΔI_{DDQ} が測定されている。

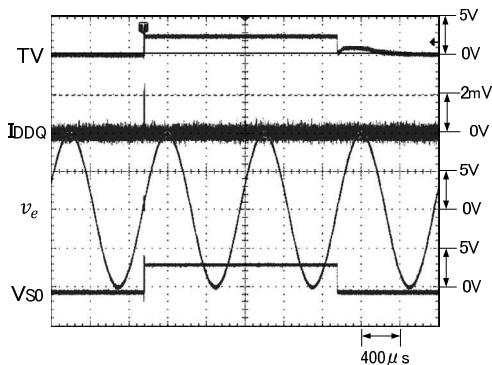
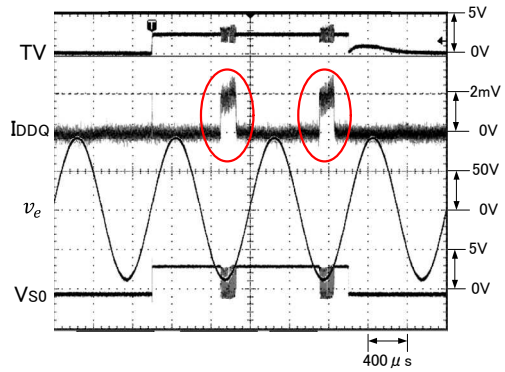
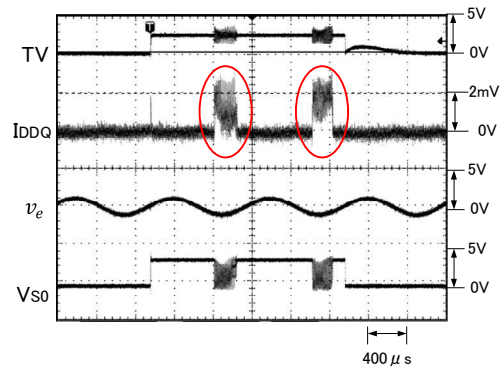


図 12 正常時の波形



(a)入力リード断線時



(b)出力リード断線時

図 13 LSI 裏中央付近測定波形

交流電界を外部電極から印加した場合と、内層電極から印加した場合について、「 ΔI_{DDQ} を生じさせる v_e の最小値 V_S 」を測定した。その結果を表2に示す。外部電極の場合は、入力断線故障と出力断線故障いずれもほぼ同じ V_S となっているのに対し、内層電極の場合は、入力断線故障と出力断線故障では V_S に大きな差があることが確認できる。

表 2 測定結果

周波数 [kHz]	印加電圧 V_S [Vpp]			
	入力リード断線故障		出力リード断線故障	
	外部電極	内層電極	外部電極	内層電極
1	22	186	24	4
2	23	184	23	4
5	23	194	24	4
10	23	189	24	4
15	22	185	24	4
20	22	184	23	4
25	23	183	24	4
30	23	187	24	4
40	23	179	24	4

入力断線故障検出の場合、内層電極の方が外部電極に比べ、 V_S の値が1桁大きくなっている。これは

はんだ面のランドやそれに付随する配線にLまたはHの電圧が印加されているため、内層電極からの交流電界を遮蔽しているためである。

これに対し、出力断線故障の場合は、内層電極使用時の方が1桁小さい電圧で、 ΔI_{DDQ} を生じさせることができている。出力断線故障の場合にはランドに電圧が印加されておらず、断線箇所直接交流電界が印加されるためである。

6. まとめ

電流テスト法は、正常なCMOS回路では静的電源電流 I_{DDQ} が流れないという特徴を利用し、 I_{DDQ} 変化が測定された場合、断線故障ありと判断する検査法である。このテスト法では、回路を外部電極で挟み、回路外部から交流電界を印加状態で I_{DDQ} を測定する。交流電界印加用電圧値は、電極と故障リード間の距離によって異なるため、電極設置箇所によって変化する。条件によっては局所的に大きな交流電界を印加する必要があるが、その場合周辺回路に障害を与える可能性がある。

そこで本件では基板外部からではなく、基板内層に電極となる配線層を設け、基板内から故障箇所に交流電界を印加する方法を提案し、評価実験を行った。実験ではアルテラ社製TQFPパッケージCPLD「5M240ZT144C5N」を評価対象とした。その結果、故障存在時に ΔI_{DDQ} が測定されたことから、内層電極を用いて断線故障検出が可能であることを確認できた。さらに外部電極を使用する場合に比べ小さな交流電界印加で、出力断線を検査可能であること、入力断線故障については、外部電極使用時より大きな交流電界が必要となること、が確認された。

参考文献

- 1) Masao Takagi et al., “AC Electric Field for Detecting Pin Opens by Supply Current of CMOS ICs”, Proceedings of International Conference on Electronics Packaging, pp.217~222, 2004年
- 2) 池上徹 他, “交流電界印加時電源電流測定によるリード浮き検出における内層ベタグラウンドの影響”, 平成18年度電気関係学会四国支部連合大会講演論文集 p.69, 2006年
- 3) 月本功 他, “交流電界印加時の電流テストによるCMOS ICのリード浮き検出における電界印加電圧への周辺配線の影響”, 平成20年度電気関係学会四国支部連合大会講演論文集 p.103, 2008年
- 4) 月本功 他, “90nmプロセスFPGAの外部交流電界印加状態でのリード浮き発生時静的電源電流測定”, 平成21年度電気関係学会四国支部連合大会

- 講演論文集 p.115, 2009年
- 5) 富田泰基 他, “ディープサブミクロンプロセスFPGAのリード浮き発生時静的電源電流特性”, 平成22年度電気関係学会四国支部連合大会講演論文集 p.81, 2010年
 - 6) 西川大樹 他, “電流テストによるCMOS LSIのリード浮き検出に対するLSI低消費電流化の影響”, 平成23年度電気関係学会四国支部連合大会講演論文集 p.130, 2011年
 - 7) 安藤諒 他, “交流電界印加時の電流テストによるBGA LSIのはんだボール断線故障検出”, 平成25年度電気関係学会四国支部連合大会講演論文集 p.100, 2013年