

検査回路の IDDT 測定による LSI 接合箇所 の検出可能な半断線故障抵抗値

小野 安季良*

福崎 結美**

Detectable Resistive Open of LSI Joining Point by Measuring IDDT of Test Circuit

Akira ONO and Yumi FUKUZAKI

Abstract

We had proposed a test method for detecting open faults of LSIs. The test circuit consists of a square test signal source, an integration circuit and an inverter gate. The inverter gate is used as an open detector. The test method is based on the supply current of the test circuit which flows when the square test signal is provided to a targeted lead with a probe as a stimulus. In this paper, we propose elements configuration of the integration circuit. We show some experimental results that resistive open faults will be detected with the elements. The results show that 45Ω resistive open can be detected by using our test method.

Keywords : resistive open fault, test circuit, CMOS inverter gate

1. 緒言

近年、可搬型の電子機器では、持ち運びが便利のように機器の小型化や軽量化が求められる場合が多い。それを実現するためには、プリント配線板や搭載 IC の小型化や軽量化が必要である。一方で、同じ用途の他商品と差別化を図るため、電子機器製品に付加価値を設け、多機能な性能も要求されている。このため、IC のリード間隔は狭くなり、プリント配線板の配線密度も高密度になる。狭ピッチ IC を高密度プリント配線板にはんだ付けすると、はんだ付け不良による IC の隣接するリード間の短絡故障や、IC のリードとプリント配線板上のランド間の開放故障が発生する可能性が高くなる。短絡故障は、隣り合うリード間に異なる論理値を導くことで異常が現れるので、その故障の検出は容易である。一方、開放故障の場合は、論理値に現れる故障の影響がさまざまな要因で変化する可能性があ

り、故障の検出が難しい。本研究では、開放故障を検出対象とする。

現在までに開放故障を検出するための様々な検査法が提案されている。それらは、論理値測定による機能検査法、目視検査を自動化する外観検査法¹⁾と電気的検査法²⁾に分類できる。機能検査法は電子基板製造後、完成した基板の入力端子にテスト信号を加え、出力信号が期待される結果と一致すれば正常と判定する検査である。一般に、検査工程では論理値測定による機能検査が行われるが、開放故障の性質上、この検査だけでは開放故障を見逃す可能性があり、それ以外の検査法での検査と平行して行われている。外観検査法ははんだの形状異常を検査する方法である。例えば、検査対象箇所を X 線検査装置で写真を撮り、その画像を詳細に解析することで故障を検出する方法がある³⁾。また、電気的検査法は電気的な導通を調べる検査法であり、非接触で開放故障を検出する検査法も提案されている⁴⁾⁶⁾。しかし、外観検査は見た目の検査であり、電気的な接続を保障できないこと、また、非接触による

* 香川高等専門学校 通信ネットワーク工学科

** 香川高等専門学校専攻科 電子情報通信工学専攻

電気的検査では、故障により現れる抽出量が小さいので、開放故障を見逃す恐れがある。

過去に我々は、検査対象箇所、被検査回路の外部から検査信号として正弦波信号を直接印加し、検査回路の電源電流を測定することで開放故障を検出できる検査法を提案した⁷⁾。また、文献 7)の検査信号を矩形波信号に変更した電気的検査法でも、開放故障を検出できることを示した⁸⁾。文献 8)で提案した検査法で、検査回路を被検査 IC の中に組み込めれば、検査時に、被検査 IC 単独で開放故障が自己診断できる。

本研究では、被検査回路の外部に検査回路を設けるが、IC 内部にその検査回路を内蔵できる検査回路内の受動態素子値を決定する。そして、その検査回路で開放故障の検出可能性を調査した。その結果、IC リードがプリント配線板のランドから完全に離れている完全開放故障だけでなく、はんだ接合面に抵抗成分を伴って接続している半断線故障も検出できた。そして、検出可能な半断線故障の程度について明らかにしたので報告する。

2. 原理

2.1. CMOS インバーターゲート回路の特性

図 1(a)に CMOS インバーターゲートの内部構成、図 1(b)に CMOS インバーターゲートの入出力特性を示す。図 1(a)に示すように、CMOS インバーターゲートは nMOS と pMOS から構成されている。入力電圧 V_i が L レベルの時、pMOS が ON となり V_{DD} が出力電圧 V_o として出力される。また、入力電圧 V_i が H レベルの時、nMOS が ON となり $0V$ が出力電圧 V_o として出力される。CMOS インバーターゲート回路の入出力特性は、図 1(b)に示すように、ゲートの入力に V_{DD} もしくは $0V$ を印加したとき、どちらか一方の MOS トランジスタしか ON とならないので、ゲートに電流は流れな

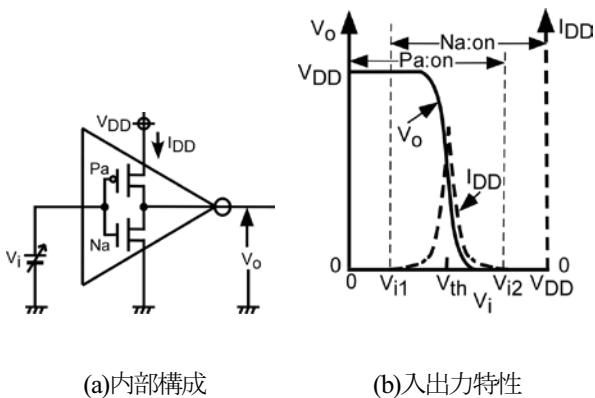


図 1 CMOS インバーターゲート回路の内部構成および入出力特性

い。しかし、ゲートの入力電圧 V_i が式(1)の範囲内のとき、そのゲート内部の pMOS と nMOS 両方が ON となり、電源電流 I_{DD} が流れる。

$$V_{i1} \leq V_i \leq V_{i2} \tag{1}$$

2.2. 開放故障検査回路

図 2 に検査信号を矩形波とした検査回路、図 3 に開放故障が生じている場合の矩形波信号 v_T 、インバーター入力電圧 v_{INV} 、インバーターに流れる電源電流 i_{DDT} の波形を示す。検査回路は、矩形波信号 v_T 、抵抗 R_T 、コンデンサ C_T 、検査プローブおよび CMOS インバーターゲートから構成する。インバーターの入力電圧 v_{INV} は、 C_T の両端の電圧である。そのため、 v_{INV} は主に検査回路内の R_T 、 C_T で決まる式(2)の時定数に従って変化する。

$$\tau = R_T C_T \tag{2}$$

このとき、 v_{INV} は式(3)となる。

$$v_{INV}(t) = v_T (1 - e^{-t/\tau}) \tag{3}$$

図 3 に示すように、 v_T の V_{TS} 印加時には、コンデンサ

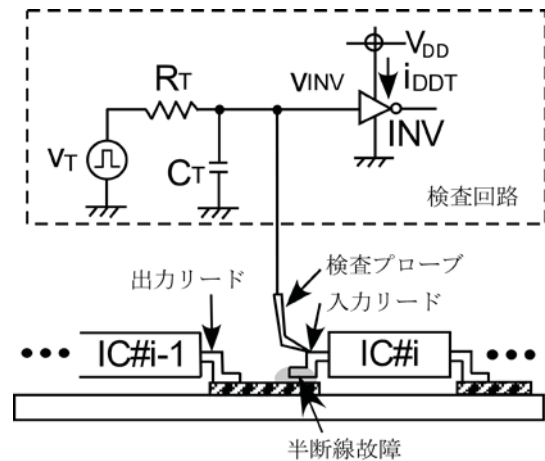


図 2 検査回路

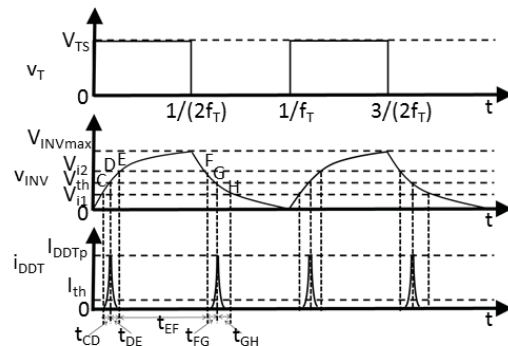


図 3 開放故障発生時の電源電流波形

に電荷が充電され、0V 印加時には蓄積された電荷が放電される。図3ではCMOSインバータゲートの電気的特性から、 t_{CD} 間で v_{INV} が $V_{i1} \sim V_{th}$ となり i_{DDT} が増大し、 t_{DE} 間で v_{INV} が V_{th} より大きくなり i_{DDT} が減少し、 t_{EF} 間で v_{INV} が V_{i2} より大きくなり i_{DDT} が流れなくなる。また、 t_{FG} 間で v_{INV} が V_{th} に向かって減少するので i_{DDT} が増大し、 t_{GH} 間で v_{INV} が V_{i1} に向かって減少するので i_{DDT} が減少する。

2.3. 開放故障検査法

本検査法は、開放故障検査時に検査プローブを被検査回路の検査対象リードに直接接触させ、検査回路の矩形波信号を検査信号として印加する。振幅値 V_{TS} は図1(b)の $V_{i1} \sim V_{DD}$ の範囲内の電圧値に設定する。図2において、被検査回路の検査対象リードに開放故障が発生していないとき、インバータゲート回路への入力電圧 v_{INV} は、被検査対象ICからみて前段のIC#i-1からの出力レベルとなる。このため、 v_{INV} は式(1)の範囲内の電圧値をとらず、電源電流 i_{DDT} は流れない。一方で、開放故障発生時には v_{INV} が v_T に従い変化するため、 v_{INV} が式(1)の範囲内の値をとるとき、正常時には流れない過大な電源電流 i_{DDT} が流れる。このときの検査回路の電源電流 i_{DDT} の測定を行い、その値が式(4)を満たせば開放故障が発生していると判定する。

$$i_{DDT} \geq I_{th} \quad (4)$$

ここで、 I_{th} は故障判定しきい値であり、正常時の電源電流値よりも少し大きな値に設定する。

3. 受動態素子構成

本検査回路は、検査回路を構成する受動態素子を適切に選べば、検査対象IC内部に組み込むことができる。半導体IC内部に構成可能な受動態素子値は、コンデンサ100[pF]以下、抵抗は10[Ω]から数10[kΩ]である⁹⁾。本検査法は、検査回路内部のインバータの入力電圧が式(1)の範囲内となるときに流れるインバータの電源電流で故障を検出する。特に、半断線故障を検出する場合、式(2)の時定数が小さい方が、 V_i が緩やかに変化するので小さな半断線故障まで検出可能となる。しかし、時定数が小さすぎると、式(1)の範囲内の V_i がインバータに印加されない。そのため、本節では C_T をIC内に構成可能な最大値100[pF]と固定し、 R_T を変化させて完全開放故障を検出できる抵抗値を調査する。

3.1. R_T の決定法

実験では、検査回路内部のINVには74HC04を、

IC#i-1およびIC#iにはSN74LS04を用いた。検査回路と検査対象回路の電源電圧 V_{DD} を5[V]とし、検査回路の内部から周波数1[kHz]、振幅 $v_T=0.5[V]$ の矩形波信号を検査用信号として印加した。被検査回路IC#i-1から検査対象リードにL/Hを入力し、検査プローブをICの検査対象リードに接触させ実験を行った。 C_T を100[pF]に固定し、 R_T を変化させて、正常時と完全開放故障時における電源電流を測定した。インバータに異常な電源電流が流れれば、検査対象リードに完全開放故障が生じていると判定する。完全開放故障時に異常電流が流れ、正常時に静的電源電流しか流れない R_T を実験により求める。

3.2. 測定結果

図4は、IC#i-1からL信号を印加したときの結果である。 R_T が24[Ω]までは、正常回路測定時も、完全開放故障測定時とともに異常電流が流れ、その R_T で検査回路を構成すると、正常のものまで開放故障と判定してしまうことになる。故障判定しきい値を6[mA]と設定すれば、 R_T が25[Ω]より大きいときに、故障回路測定時のみ異常な電源電流が流れるので、その R_T は検査回路の R_T として用いることができる。図5は、IC#i-1からH信号を印加したときの結果である。 R_T が214[Ω]までは、正常回路測定時に6[mA]以上の電源電流が流れ、電源電流から正常と開放故障を判別することができない。 R_T が215[Ω]以上では、故障判定しきい値を6[mA]と設定することで、故障回路測定時のみ異常な電源電流が流れた。したがって、IC#i-1からH信号を印加したときは、215[Ω]以上の R_T を検査回路に用いることができる。

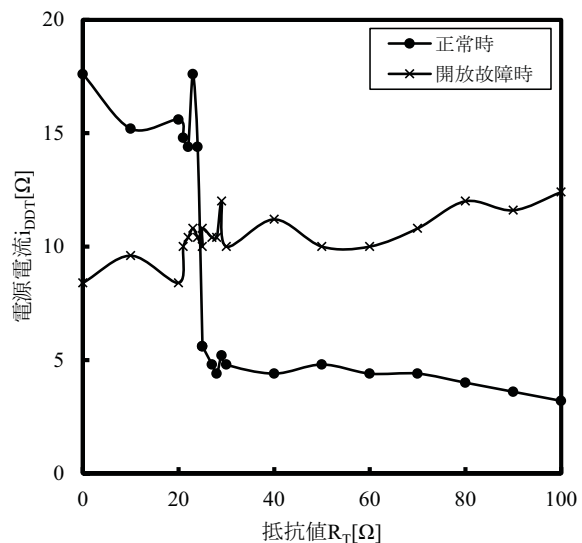


図4 IC#i-1からL信号を印加したときの結果

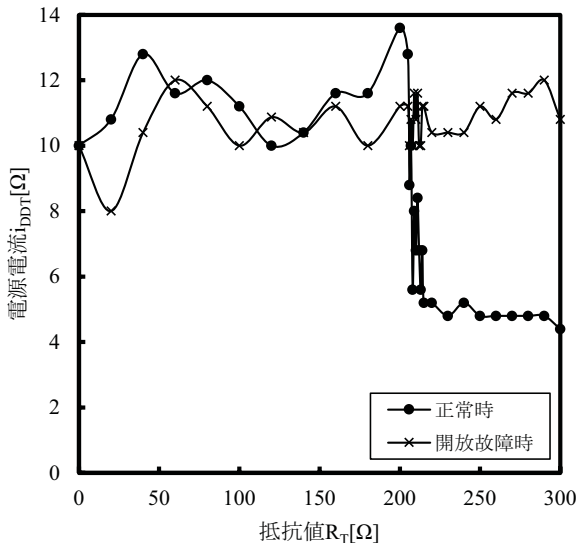


図5 IC#i-1 から H 信号を印加したときの結果

4. 半断線故障検出実験

半断線故障は、はんだ接合箇所抵抗分を持つ故障で、完全開放故障と比べて、その故障が正常状態に近いので、故障の検出が難しい。図6の半断線故障検出回路において、a-b間に挿入した R_d が半断線抵抗である。完全開放故障は R_d が ∞ 、正常は R_d が $0[\Omega]$ の場合である。半断線故障の抵抗分が小さくなればなるほど正常状態に近づくので、より故障の検出が難しくなる。

4.1. 測定方法

半断線故障検出実験では、3. 節で実験的に求めた完全開放故障検出を可能とする R_T に余裕をもたせて、検

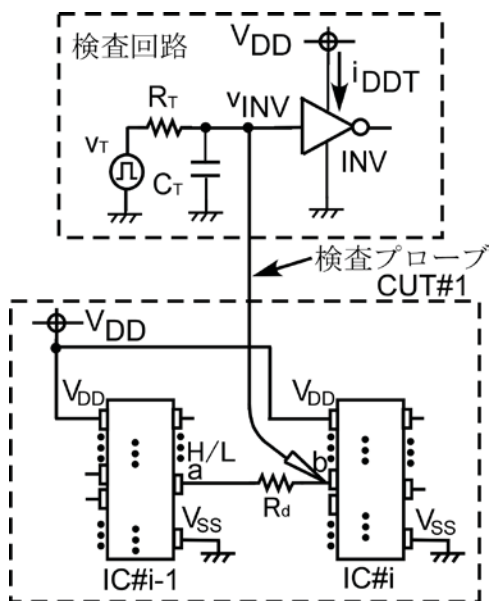


図6 半断線故障検出回路

査回路を構成する。検査回路内の受動態素子は、 C_T を $100[\text{pF}]$ と固定し、IC#i-1 から L を加えるときは R_T を $60[\Omega]$ 、IC#i-1 から H を加えるときは R_T を $250[\Omega]$ とした。このとき、半断線故障の抵抗分 R_d を変化させ、電源電流 i_{DDT} を測定する。

4.2. 測定結果

図7および図8は、それぞれIC#i-1 からL信号およびH信号を加えたときの実験結果である。

故障判定しきい値を $8[\text{mA}]$ と設定する。IC#i-1 からL信号を加えたときは、図7より、 $65[\Omega]$ 以上の R_d で異常な電源電流が流れるので、 $65[\Omega]$ 以上半断線故障を

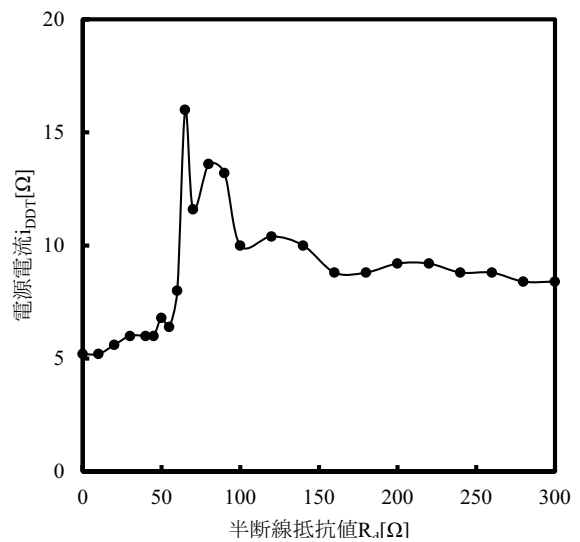


図7 IC#i-1 から L 信号を印加したときの半断線故障検出結果

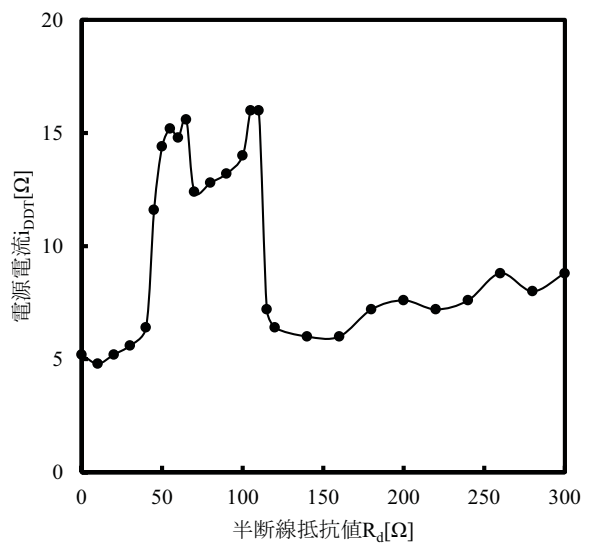


図8 IC#i-1 から H 信号を印加したときの半断線故障検出結果

検出できる。IC#-1 から H 信号を加えたときは、図 8 より、45[Ω]の R_d でいったん異常な電源電流が流れるが、 R_d が 115~240[Ω] でしきい値以下の電流となる。再び、 R_d が 260[Ω] で故障判定しきい値を超え、それより大きな R_d でしきい値以上の電流が流れることから、H 信号を印加したときは 260[Ω] 以上の半断線故障を検出できることになる。

5. 検出可能な半断線故障の限界値

4. 節の半断線故障検出実験では、IC#-1 から L 信号印加時、 R_T の値に余裕をもたせて 60[Ω] として実験を行ったが、 R_T の値をより小さくした方が、より小さな半断線故障 R_d が検出可能である。本節では、検出可能な半断線故障の限界値を実験により明らかにする。

4. 節の結果より、半断線故障検出では IC#-1 より L を印加した場合、65[Ω] 以上の半断線故障で正常時とは異なる異常電流が流れた。また、IC#-1 より H を印加した場合、260[Ω] 以上の半断線故障を検出できた。そのため、検出可能な半断線故障の限界値を求める本実験では、IC#-1 より L 信号を印加して実験を行う。

5.1. 測定方法

図 6 の回路において、 R_T を 50[Ω]、40[Ω]、30[Ω] と減らしていき、それぞれの R_T において、 R_d を変化させたときの電源電流を測定する。

5.2. 測定結果

R_T が 30[Ω]、40[Ω] のとき、 R_d が 0[Ω] 付近、すなわち正常に近い状態でも、大きな電源電流が流れる。こ

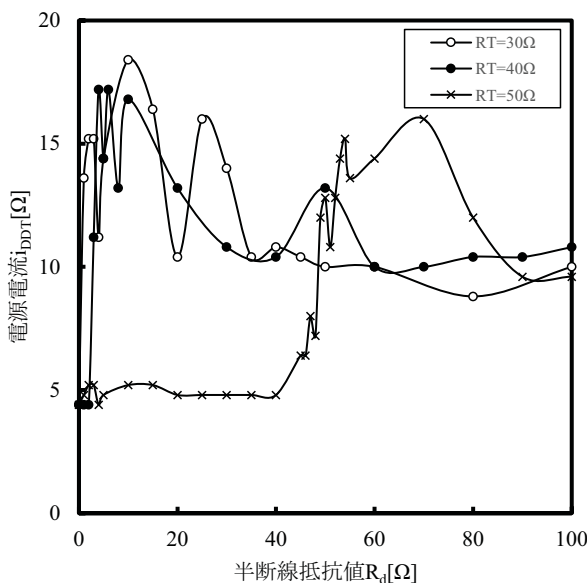


図 9 半断線故障限界値測定結果

のため、この R_T を半断線故障検出回路に用いることはできない。 R_T が 50[Ω] のとき、 R_d が 40[Ω] では i_{DDT} が 4.8[mA] 流れ、49[Ω] では i_{DDT} が 12[mA] 流れる。故障判定しきい値を 6[mA] と設定することで、45[Ω] 以上の半断線故障が検出できる。

6. 結言

本研究では、検査回路を矩形波信号 v_T 、抵抗 R_T 、コンデンサ C_T 、CMOS インバータゲートで構成した。検査対象リードに検査プローブを接触させ、外部から検査信号を印加し完全開放故障および半断線故障検出を行った。矩形波信号の周波数は 1[kHz]、コンデンサ C_T は 100[pF] とした。完全開放故障を検出することが可能である検査回路内の受動態素子値は、IC#-1 から印加する信号が L 信号の場合 $R_T=25$ [Ω]、H 信号の場合 $R_T=215$ [Ω] であることがわかった。また、何Ωまでの半断線故障が検出可能であるか実験した結果、 $R_T=50$ [Ω] で L 信号印加の場合、 $R_d=45$ [Ω] の抵抗値を含んだ半断線故障を検出できた。

本検査法は検査回路が単純で、完全開放故障および、ある値以上の半断線故障を検出できる実用性の高い検査法である。実験では、被検査回路の外部に検査回路を設けたが、本検査回路は被検査 IC 内部に組み込むことができる。また、IC 内部の入出力保護回路として組み込まれているバッファを故障検出器として利用すれば、検査時に、被検査 IC 単独で開放故障を自己診断することが可能となる。

参考文献

- 1) 原靖彦, “検査技術の動向—外観検査”, エレクトロニクス実装学会誌, Vol. 2, No. 4, pp.264-268, 1999
- 2) 小林正, “検査技術の動向—電気検査”, エレクトロニクス実装学会誌, Vol. 2, No. 4, pp.259-263, 1999
- 3) 検査技術委員会, “X線検査装置の現状と展望”, エレクトロニクス実装学会誌, Vol. 7, No. 1, pp.24-26, 2004
- 4) 野口祐智, 斎藤之男, 角田興俊, 富田英雄, “静電容量型センサによる微細プリント配線欠陥検査システムに関する研究”, エレクトロニクス実装学会誌, Vol. 14, No. 3, pp. 212-219(2011)
- 5) 久我宣裕, 大西健一, 土井充, 遠藤充哲, “相互変調ひずみを用いた電気接続不良の非接触検出”, 第 21 回エレクトロニクス実装講演大会論文集, 16A-05(2007)
- 6) 高木正夫, 橋爪正樹, 一宮正博, 四柳浩之, “交流電界印加時の電流テストによる CMOS LSI のリード浮き検出のための印加交流電圧”, エレクトロニクス実装

学会誌, Vol. 10, No. 3, pp.219-228(2007)

7) 小野安季良, 一宮正博, 四柳浩之, 高木正夫, 橋爪正樹, “CMOS ゲート回路を断線センサーとして用いた部品接合不良検出法”, エレクトロニクス実装学会論文誌, Vol.12, No.2, pp.137-143(2009)

8) Y. Fukuzaki and A. Ono, “Open Lead Detection of CMOS LSI by using a Square Wave as a Test Signal”, 4th IJWTEER (2014)

9) 川崎満, 牛山靖一, “IC 化時代における回路設計”, テレビジョン学会誌, Vol. 33, No.6, pp. 492-498(1979)