





$$v_F(t) = \frac{C_V}{C_V + C_G} v_e(t) + V_0 \quad (1)$$

ここでの  $V_0$  は検査開始時の故障箇所電圧値（初期電圧）である。

$v_F$  は式(1)の第1項により、 $v_e$  によって変化する。これにより、 $v_F$  をしきい値電圧付近に誘導することで  $\Delta I_{DDQ}$  を生じさせ、リード浮きを検出する。

### 2.3. 交流電界印加による静的電源電流発生

外部電極から正弦波交流電界を印加した場合、リード浮き発生個所の電圧  $v_F$  は式 (1) の第1項により正弦波状に変化する。印加電圧  $v_e$  の振幅を大きくしていくと、図4に示すように、 $v_F$  の電圧値は  $I_{DDQ}$  が流れる範囲まで変化し、 $\Delta I_{DDQ}$  が生じることになる。電極の GND は検査対象の GND に接続されるので、故障箇所と GND 電極間の距離は LSI によらずほぼ一定で、 $C_G$  の値もほぼ変化しない。したがって  $C_V$  の値を大きくできれば、リード浮き検出のための  $v_e$  を小さくすることができる。

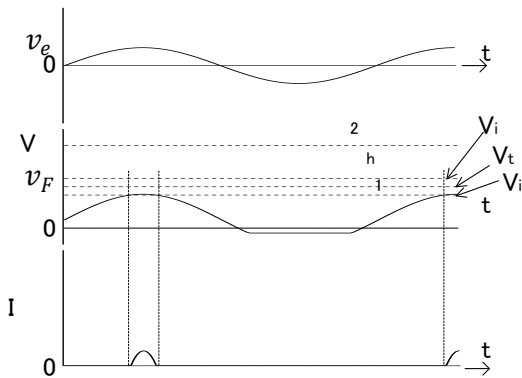


図4  $v_e$  による  $I_{DDQ}$  の発生

### 3. リード浮き発生箇所初期電圧 $V_0$ による $T_{FC}$ の変化

$T_{FC}$  が変化するのには、交流電界印加用電圧波形だけではなく、故障箇所電圧の検査開始時初期電圧  $V_0$  によっても  $T_{FC}$  に差が現れる。 $V_0$  の影響による  $T_{FC}$  の変化を図5に示す。 $V_0$  によって、 $v_f$  がしきい値を通過する時間にも変化が現れるため、 $I_{DDQ}$  が出現する時間にも変化が現れる。

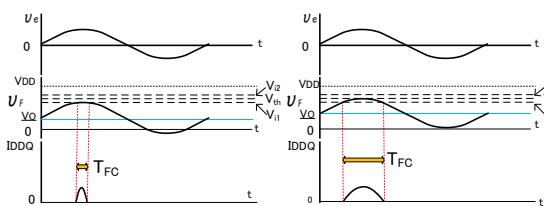


図5  $V_0$  による  $T_{FC}$  の変化

## 4. 評価実験

### 4.1. 評価対象 LSI

Altera 社製の MAX V CPLD 「5M240ZT144C5N」と Xilinx 社製 Coolrunner-II CPLD 「XC2C256-7TQG144C」を評価対象 LSI とした。2 つとも 0.18[ $\mu$ m] 製造プロセスで、電源電圧仕様が 1.8[V](内部電源)と 3.3[V](I/O 電源)の CMOS LSI である。

### 4.2. 評価対象波形形状

今回の評価対象とする交流電界印加用電圧波を図6に示す。図6の左上から正弦波、三角波、矩形波、のこぎり波、逆のこぎり波、矩形波の積分波と微分波、台形波の計8種類である。全ての波形は、ELMOS 社製任意波形生成装置「AWG-10K」を用いて生成されている。表1に AWG-10K 仕様を示す。積分波、微分波は「AWG-10K」に対応した任意波形生成ソフト「KWG」の指数関数波形生成の機能より時定数を設定して生成している。積分波と微分波の時定数は 10[ $\mu$ s]とした。

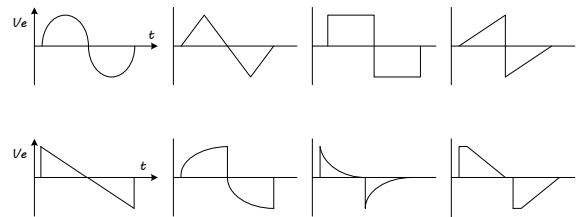


図6 評価対象波形形状

表1 AWG-10K 仕様

スルーレート	31.4[V/ $\mu$ s]
出力最高周波数	500[kHz]
サンプリング時間	100[ns]~330[ns]
メモリ	SRAM
立ち上がり時間	112[ns]

### 4.3. 実験方法

実験に使用した基板を図7に示す。基板サイズは 90mm $\times$ 130mm ( $t=1.6$ mm) である。図7では MAX CPLD が実装されているが、Coolrunner-II CPLD についても同様の基板を使用している。

CPLD には図8の4ビット加算器を書き込んで使用した。4ビット加算器の最下位ビット A0 には入力端子 a, b の AND 演算結果を入力している。図中の AND 回路は、図9のように NAND 回路と NOT 回路で構成される。端子 a のリード浮きを検出するため、NAND 回路に  $I_{DDQ}$  を生じさせるには、端子 b に H を印加する

必要がある。TV は  $I_{DDQ}$  が流れる経路を活性化させるため、端子 b に与える信号である。

4 ビット加算器入力 A0 以外の A1~A3, B0~B3 全てを GND に接続し、L とした。これにより出力 S1, S2, S3, C の電圧は常に L である。S0 はリード浮きの発生している入力 a と TV の電圧により変化するので実験では出力 S0 の電圧  $V_{S0}$  も測定した。

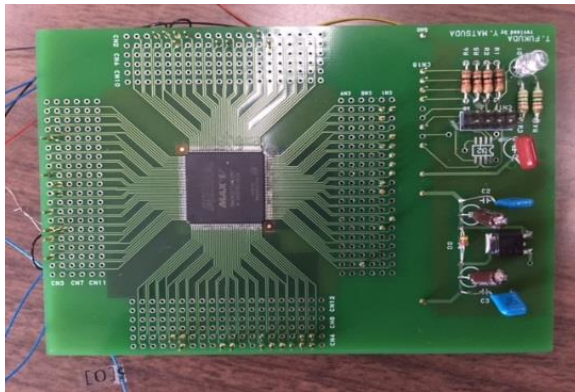


図7 評価実験用基板

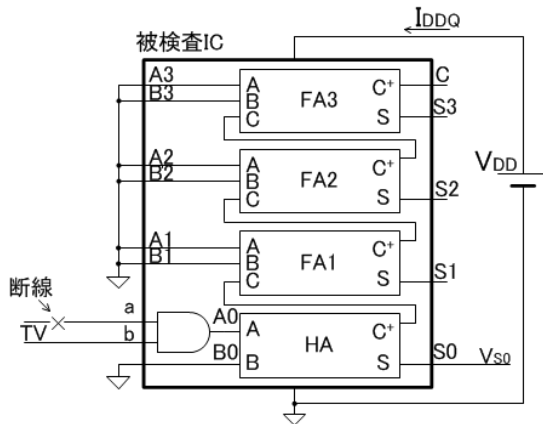


図8 評価実験回路

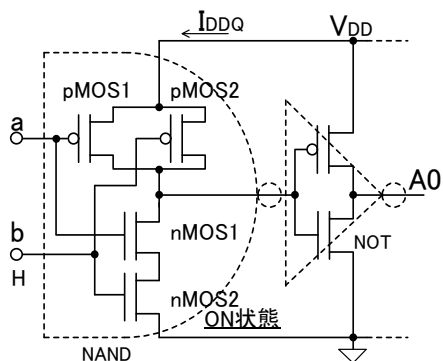


図9 図8のAND回路の内部回路

評価実験で使用した測定装置の構成図を図10に、実験で使用した機器類の概要を表2に、それぞれ示す。LSI を電極で挟み外部から正弦波交流電界を印加した

状態で、LSI の入力に TV を印加し、 $I_{DDQ}$  を電流プローブと電流アンプを用いて測定する。交流電界印加用の任意波形生成装置の出力をアンプで増幅し電極に印加する。TV には 3.3[V] 印加している。

測定はデジタルオシロスコープで行い、オシロスコープの入力は CH1 を TV, CH2 を  $I_{DDQ}$ , CH3 を印加する交流電界電圧  $v_e$ , CH4 を 4 ビット加算器の出力電圧  $V_{S0}$  とした。

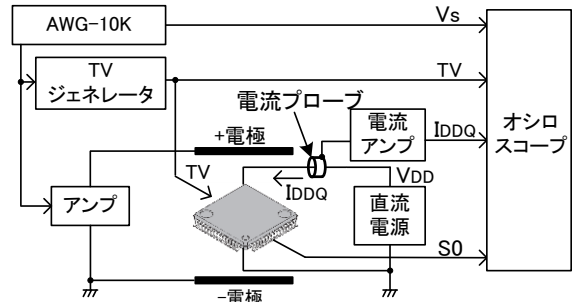


図10 測定構成図

表2 構成機器概要

名称	概要
電極	上側:(縦)30mm×(横)30mm×(高さ)20mm 上側:(縦)50mm×(横)50mm×(高さ)12mm
直流電源	METRONIX社製524B,20V,1.2A
AWG-10K	ELMOS社製 任意波形生成装置
アンプ	ゲイン25倍
TVジェネレータ	3.3[V]
電流プローブ	Tektronix社製TCP305
電流アンプ	Tektronix社製TCP300,変換係数5[A/V]
オシロスコープ	Tektronix社製TDS3034B 受動プローブ: TekP3139A 入力容量10~14[pF]

印加する  $v_e$  波形とリード浮き発生箇所初期電圧  $V_0$  によって変化する。本実験では、 $I_{DDQ}$  測定前に故障箇所にて 0[V]~3.2[V] の範囲 (0.2[V] 刻み) で一時的に印加した。また、 $v_e$  は 60[Vpp], 周波数は 10[kHz] とした。波形印加ごとに  $V_0$  の 1 設定あたり 10 回の  $T_{FC}$  測定を行い、 $T_{FC}$  の最大値、最小値、平均値および標準偏差を求めた。

#### 4.4. 実験結果

図11は台形波を印加した場合の測定波形である。実験では図11のオシロスコープ画面から  $T_{FC}$  を測定した。Altera社製「5M240ZT144C5N」とXilinx社製Coolrunner-II「XC2C256-7TQG144C」を評価対象とした場合の印加波形形状ごとの  $T_{FC}$  の最大値、最小値、平均値および標準偏差を表3と表4に示す。比較項目は平均値、標準偏差、最大値、最小値の4項目あるが、標準偏差と最小値が重要な項目である。

Altera 社製 CPLD 「5M240ZT144C5N」については、表3より、過去の評価実験で使用していた正弦波の標準偏差より小さいのは、三角波、のこぎり波、台形波の3種類である。その中で、最小値が最も大きいのは台形波である。一方、Xilinx 社製 CPLD 「XC2C256-7TQG144C」については、表4より、正弦波より標準偏差が小さいのは、三角波、のこぎり波、逆のこぎり波、微分波、台形波の5種類である。その中で最小値が最も大きいのは台形波であった。

この結果より、評価対象とした2つのLSIについては、ともに台形波が電流テストに適した波形であることが確認できた。

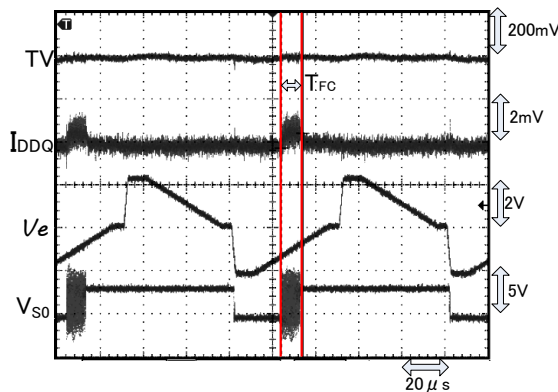


図11 測定波形例(台形波印加の場合)

表3 印加波形形状によるT<sub>FC</sub>比較  
(5M240ZT144C5Nの場合)

波形	平均値[µs]	標準偏差[µs]	最大値[µs]	最小値[µs]
正弦波	8.40	5.90	24.88	3.12
三角波	9.10	5.10	24.60	3.76
矩形波	9.80	15.00	41.12	1.24
のこぎり波	12.20	5.50	29.01	5.16
逆のこぎり波	14.50	6.20	26.80	5.56
積分波	11.80	13.70	39.60	1.56
微分波	14.60	9.20	35.08	3.72
台形波	12.50	4.90	24.40	5.28

表4 印加波形形状によるT<sub>FC</sub>比較  
(XC2C256-7TQG144Cの場合)

波形	平均値[µs]	標準偏差[µs]	最大値[µs]	最小値[µs]
正弦波	9.93	7.47	34.00	2.40
三角波	8.98	5.59	33.60	1.60
矩形波	11.29	16.92	47.20	0.80
のこぎり波	11.47	5.74	29.20	2.40
逆のこぎり波	8.12	3.84	24.80	2.00
積分波	11.17	11.06	45.60	1.20
微分波	9.22	5.53	31.20	2.00
台形波	9.74	4.61	26.80	2.80

評価対象としたLSIによってどの程度T<sub>FC</sub>に差異が現れているのかを調べるため、Altera社製CPLDのT<sub>FC</sub>

値を基準にXilinx社製CPLDのT<sub>FC</sub>値がどの程度変化しているかをまとめた。その結果を表5に示す。

表5より、平均値、標準偏差、最大値に関しては増加した波形と減少した波形が確認できるが、最小値に関しては全ての波形が減少していることがわかる。

表5 LSIによるT<sub>FC</sub>変化

波形	平均値[%]	標準偏差[%]	最大値[%]	最小値[%]
正弦波	18.21	26.61	36.66	-23.08
三角波	-1.32	9.61	36.59	-57.45
矩形波	15.20	12.80	14.79	-35.48
のこぎり波	-5.98	4.36	0.65	-53.49
逆のこぎり波	-44.00	-38.06	-7.46	-64.03
積分波	-5.34	-19.27	15.15	-23.08
微分波	-36.85	-39.89	-11.06	-46.24
台形波	-22.08	-5.92	9.84	-46.97

## 5. まとめ

電流テスト法は、正常なCMOS回路では静的電源電流I<sub>DDQ</sub>が流れないという特徴を利用し、I<sub>DDQ</sub>変化が測定された場合、リード浮きありと判断する検査法である。このテスト法では、回路を外部電極で挟み、回路外部から交流電界を印加状態でI<sub>DDQ</sub>を測定する。本検査方法は、I<sub>DDQ</sub>を観測しリード浮きの有無を判定するためI<sub>DDQ</sub>値やI<sub>DDQ</sub>出現時間が重要な指標となる。しかし、LSIの低消費電力化の影響で、I<sub>DDQ</sub>値やI<sub>DDQ</sub>出現時間が小さくなっている。これにより、リード浮きを見落とす可能性があり、検査品質低下につながる。

I<sub>DDQ</sub>出現時間は交流電界印加用電圧波形に影響されるため、本件では「I<sub>DDQ</sub>出現時間の確保」を目標に、過去の評価実験で使用されていた正弦波を含む8種類の波形形状を使用し、各波形形状におけるリード浮き発生時のT<sub>FC</sub>の測定・比較を行った。また、異なるLSIでは電気的特性が異なるため電流テスト時のT<sub>FC</sub>に差異が生じる。そこで、Altera社製CPLD「5M240ZT144C5N」とXilinx社製CPLD「XC2C256-7TQG144C」の2つのLSIを対象として同様の実験を行い、どの程度T<sub>FC</sub>に変化が現れるかを確認した。

その結果、2つのLSIにおいてT<sub>FC</sub>変化の低減と最小値増加を確認できた波形は台形波であった。また、Altera社製「5M240ZT144C5N」に比べ、Xilinx社製「XC2C256-7TQG144C」の方が、今回対象とした8波形すべてに対して、T<sub>FC</sub>の最小値が減少していることがわかった。

## 参考文献

- 1) 玉本英夫, "論理回路の故障診断", 日刊工業新聞社, 1983年

- 2) Masao Takagi et al., "AC Electric Field for Detecting Pin Opens by Supply Current of CMOS ICs", Proceedings of International Conference on Electronics Packaging, pp.217~222, 2004 年
- 3) 池上徹 他, "交流電界印加時電源電流測定によるリード浮き検出における内層ベタグラウンドの影響", 平成 18 年度電気関係学会四国支部連合大会講演論文集 p.69, 2006 年
- 4) 月本功 他, "交流電界印加時の電流テストによる CMOS IC のリード浮き検出における電界印加電圧への周辺配線の影響", 平成 20 年度電気関係学会四国支部連合大会講演論文集 p.103, 2008 年
- 5) 月本功 他, "90nm プロセス FPGA の外部交流電界印加状態でのリード浮き発生時静的電源電流測定", 平成 21 年度電気関係学会四国支部連合大会講演論文集 p.115, 2009 年
- 6) 富田泰基 他, "ディープサブミクロンプロセス FPGA のリード浮き発生時静的電源電流特性", 平成 22 年度電気関係学会四国支部連合大会講演論文集 p.81, 2010 年
- 7) 西川大樹 他, "電流テストによる CMOS LSI のリード浮き検出に対する LSI 低消費電流化の影響", 平成 23 年度電気関係学会四国支部連合大会講演論文集 p.130, 2011 年
- 8) 安藤諒 他, "交流電界印加時の電流テストによる BGA LSI のはんだボール断線故障検出", 平成 25 年度電気関係学会四国支部連合大会講演論文集 p.100, 2013 年
- 9) Seiya Tanaka et al., "IDDQ Flowing Time by Voltage Waveform for Applying AC Electric Field on Supply Current Test", Proceedings of International Seminar on Nanoscience and Nanotechnology 2016, pp.35-36